

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Yoshinori MATSUI	Examiner:	Unassigned
Serial No.:	Unassigned	Group Art Unit:	Unassigned
Filed:	Herewith	Docket:	16983
For:	MEMORY SYSTEM AND DATA TRANSMISSION METHOD	Dated:	August 22, 2003

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 223131450

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 2003-175431, filed on June 19, 2003.

Respectfully submitted,



Paul J. Esatto, Jr., Reg. No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343
PJE:ahs

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Mailing Label Number:	EV 267607610US
Date of Deposit:	August 22, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. §1.10 on the date indicated above and is addressed to the Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450, Attn: Mail Stop New Patent Applications.

Dated: August 22, 2003


Paul J. Esatto, Jr.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 9 日
Date of Application:

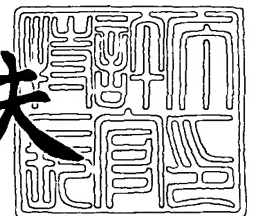
出 願 番 号 特 願 2 0 0 3 - 1 7 5 4 3 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 7 5 4 3 1]

出 願 人 エルピーダメモリ株式会社
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 22310387

【提出日】 平成15年 6月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8242

【発明者】

 【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
 株式会社内

 【氏名】 松井 義徳

【特許出願人】

 【識別番号】 500174247

 【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

 【識別番号】 100071272

 【弁理士】

 【氏名又は名称】 後藤 洋介

【選任した代理人】

 【識別番号】 100077838

 【弁理士】

 【氏名又は名称】 池田 憲保

【先の出願に基づく優先権主張】

 【出願番号】 特願2002-244322

 【出願日】 平成14年 8月23日

【手数料の表示】

 【予納台帳番号】 012416

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリシステム及びデータ伝送方法

【特許請求の範囲】

【請求項 1】 複数のメモリ回路を搭載したモジュールと、前記複数のメモリ回路を制御するコントローラとを備えたメモリシステムにおいて、前記モジュールには、

前記コントローラとデータ伝送用のデータ配線によって接続された少なくとも一つのバッファが搭載されており、前記モジュールでは、前記バッファと前記複数のメモリ回路とが内部データ配線によって接続されていることを特徴とするメモリシステム。

【請求項 2】 請求項 1 において、前記モジュールには、前記バッファが複数個配置されており、複数のバッファはそれぞれ前記データ配線により、前記コントローラと接続されていることを特徴とするメモリシステム。

【請求項 3】 請求項 1 又は 2 において、前記バッファは、更に、コマンド・アドレス配線及びクロック配線によって、前記コントローラと接続されていることを特徴とするメモリシステム。

【請求項 4】 請求項 3 において、前記バッファは、前記コマンド・アドレス配線及びクロック配線にそれぞれ対応した内部コマンド・アドレス配線及び内部クロック配線により、前記モジュールの各メモリ回路と接続されていることを特徴とするメモリシステム。

【請求項 5】 請求項 4 において、前記内部コマンド・アドレス配線及び前記内部クロック配線は前記モジュールの複数のメモリ回路に共通に使用されることを特徴とするメモリシステム。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、前記メモリ回路は、DRAM であり、前記メモリコントローラと前記バッファとの間の前記データ配線には、双方向にデータが送受されることを特徴とするメモリシステム。

【請求項 7】 複数のメモリ回路をそれぞれ搭載した複数のモジュールと、前記複数のモジュールの各メモリ回路を制御するコントローラとを備えたメモリシステムにおいて、前記各モジュールには、少なくとも一つのバッファが設けら

れており、当該各モジュールのバッファは、他のモジュールのバッファ及び／又は前記コントローラとデータ伝送用のデータ配線により接続されていることを特徴とするメモリシステム。

【請求項 8】 請求項 7 において、前記各モジュールのバッファは、他のモジュールのバッファ及び／又は前記コントローラとコマンド・アドレス配線及びクロック配線によって接続されていることを特徴とするメモリシステム。

【請求項 9】 請求項 7 又は 8 において、前記データ配線は、前記複数のモジュール上のバッファと前記メモリコントローラとをカスケード接続することによってディジーチェーンを構成していることを特徴とするメモリシステム。

【請求項 10】 請求項 7 において、前記複数のモジュールの各バッファは、前記データ配線により、直接、前記メモリコントローラに接続されていることを特徴とするメモリシステム。

【請求項 11】 請求項 10 において、前記複数のモジュールの各バッファは、更に、コマンド・アドレス配線及びクロック配線によって、直接、前記メモリコントローラに接続されていることを特徴とするメモリシステム。

【請求項 12】 請求項 11 において、前記データ配線、前記コマンド・アドレス配線、及び前記クロック配線により、直接、前記メモリコントローラに接続された前記モジュールのバッファに対して、データ配線、コマンド・アドレス配線、及びクロック配線によりカスケード接続された他のモジュール上に配列されたバッファとを有することを特徴とするメモリシステム。

【請求項 13】 請求項 8 乃至 12 のいずれかにおいて、前記各モジュールの複数のメモリ回路は、複数のランクに区分されており、同一ランクに属する複数モジュールの前記メモリ回路は同時にアクセスの対象となることを特徴とするメモリシステム。

【請求項 14】 請求項 12 又は 13 のいずれかにおいて、前記データ配線上のデータ伝送速度は、前記各モジュール上の前記バッファと各メモリ回路間の内部データ配線上のデータ伝送速度より速いことを特徴とするメモリシステム。

【請求項 15】 請求項 14 において、前記コマンド・アドレス配線及び前記クロック配線上の伝送速度は、当該コマンド・アドレス配線及びクロック配線

にそれぞれ対応して前記バッファと各メモリ回路間の伝送速度よりも速いことを特徴とするメモリシステム。

【請求項 1 6】 請求項 1 4 において、前記データ配線には、複数のモジュールのバッファに対するデータがパケット化されて伝送され、前記バッファではパケット化されたデータを分離することを特徴とするメモリシステム。

【請求項 1 7】 請求項 1 5 において、前記コマンド・アドレス配線及び前記クロック配線は、複数のモジュールのバッファに対するコマンド・アドレス及びクロックがパケット化して伝送され、前記バッファは、前記コマンド・アドレスを分離すると共にクロックを分周する機能を備えていることを特徴とするメモリシステム。

【請求項 1 8】 バッファ及び当該バッファに接続されたメモリ回路を搭載したモジュールと、該モジュール上の前記バッファに接続されたメモリコントローラとを備え、前記メモリコントローラと前記バッファとの間の伝送速度は、前記モジュール上の前記バッファと、当該バッファに接続されたメモリ回路との間の伝送速度より速いことを特徴とするメモリシステム。

【請求項 1 9】 請求項 1 8 において、前記バッファを有するモジュールは、複数個配列されており、前記各モジュールのバッファは、前記メモリコントローラに対して、順次、データ配線、コマンド・アドレス配線、及び、クロック配線により、カスケード接続され、更に、各モジュールでは、前記メモリ回路と前記バッファとが内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線によって接続され、前記データ配線、コマンド・アドレス配線、及び、クロック配線上の伝送速度は、前記内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線上の伝送速度よりも速いことを特徴とするメモリシステム。

【請求項 2 0】 請求項 1 9 において、前記各モジュールに搭載される前記メモリ回路は、D R A M であり、該各モジュール上において、当該モジュールのバッファと D R A M との間には、互いに衝突しないタイミングで双方向にデータフェーズ信号が送信されており、前記 D R A M 及びバッファでは、受信したデータフェーズ信号を基準として、内部クロックを生成し、該内部クロックにしたが

って、データの受送信を行うことを特徴とするメモリシステム。

【請求項 2 1】 第 1 の内部クロックにしたがってデータの受信を行う第 1 のデバイスと、第 2 の内部クロックにしたがってデータの受信を行う第 2 のデバイスとを備え、第 1 及び第 2 のデバイスとの間で、双方向にデータの送受を行うデータ伝送方法において、第 1 及び第 2 のデバイス間で、同一配線上に、互いに衝突しないタイミングで連続的に第 1 及び第 2 のデータフェーズ信号を双方向に送信しておき、第 1 のデバイスでは、前記第 1 のデータフェーズ信号のタイミングを参照して、データを第 2 のデバイスに送信し、他方、第 2 のデバイスでは、前記第 2 のデータフェーズ信号のタイミングを参照して、データを第 1 のデバイスに送信することを特徴とするデータ伝送方法。

【請求項 2 2】 請求項 2 1 において、前記第 2 のデバイスでは、受信した第 1 のデータフェーズ信号にしたがって、前記第 2 の内部クロックを生成し、該第 2 の内部クロックにしたがって、前記第 1 のデバイスからのデータを受信する一方、前記第 1 のデバイスでは、受信した第 2 のデータフェーズ信号にしたがって、前記第 1 の内部クロックを生成し、該第 1 の内部クロックにしたがって、前記第 2 のデータフェーズ信号を生成すると共に、第 2 のデバイスからのデータを受信することを特徴とするデータ伝送方法。

【請求項 2 3】 請求項 2 1 又は 2 2 において、前記第 1 のデバイスでは、双方向に伝送される第 1 及び第 2 のデータフェーズ信号のうち、当該第 1 のデバイスから出力される第 1 のデータフェーズ信号をサプレスし、他方、前記第 2 のデバイスでは、双方向に伝送される第 1 及び第 2 のデータフェーズ信号のうち、当該第 2 のデバイスから出力される第 2 のデータフェーズ信号をサプレスすることを特徴とするデータ伝送方法。

【請求項 2 4】 請求項 2 1 乃至 2 3 のいずれかにおいて、前記第 1 及び第 2 のデバイスは、それぞれ、バッファ及び DRAM であり、前記 DRAM には外部クロックが与えられており、当該外部クロックと受信した前記第 1 のデータフェーズ信号とにより、前記第 2 のクロックを生成することを特徴とするデータ伝送方法。

【請求項 2 5】 請求項 2 1 乃至 2 3 のいずれかにおいて、前記第 1 及び第

2 のデバイスは、D L L を使用して、前記第 2 及び第 1 のデータフェーズ信号から第 1 及び第 2 の内部クロックを生成することを特徴とするデータ伝送方法。

【請求項 2 6】 第 1 及び第 2 のデバイスとの間で、データの送受を行うデータ伝送システムにおいて、第 1 及び第 2 のデバイスの送信側は、前記データの送信の際、前記データの送信とは無関係に連続的に、前記データの所定の位相をあらわすデータフェーズ信号を送信する手段を備え、前記第 1 及び第 2 のデバイスの受信側は、前記データフェーズ信号に基づいて、前記受信側の内部クロックを再生し、再生された内部クロックにしたがって前記データを受信する手段を備えていることを特徴とするデータ伝送システム。

【請求項 2 7】 第 1 及び第 2 のデバイスとの間で、双方向にデータの送受を行うデータ伝送システムにおいて、第 1 及び第 2 のデバイスは、それぞれ、前記データの送信の際、前記データの送信とは無関係に連続的に、前記データの所定の位相をあらわすデータフェーズ信号を送信し、当該データフェーズに基づいて、前記データを送信する送信手段を備え、前記第 1 及び第 2 のデバイスは、それぞれ、前記データフェーズ信号に基づいて、前記受信側の内部クロックを再生し、再生された内部クロックにしたがって前記データを受信する受信手段を備えていることを特徴とするデータ伝送システム。

【請求項 2 8】 請求項 2 7 において、前記第 1 及び第 2 のデバイスは、それぞれ、バッファ及び D R A M であり、前記バッファの送信手段は、前記データフェーズ信号として、前記 D R A M に対して、書込データフェーズ信号を出力する手段を有すると共に、前記バッファの受信手段は、前記データフェーズ信号として、前記 D R A M からの読出データフェーズ信号を受信する手段を有しており、前記 D R A M の受信手段は、前記書込データフェーズ信号から、前記データ受信用の内部クロックを再生する手段と、当該再生された内部クロックに応じて、前記データを受信する手段とを備え、更に、前記 D R A M の送信手段は、受信した前記書込データフェーズ信号に依存したタイミングで、前記データフェーズ信号として、読出データフェーズ信号を出力する手段を有していることを特徴とするデータ伝送システム。

【請求項 2 9】 請求項 2 8 において、前記書込データフェーズ信号及び前

記読出データフェーズ信号とは互いに異なるタイミングで、双方向に、同一の信号線上に送信されることを特徴とするデータ伝送システム。

【請求項 30】 請求項 28 において、前記書込データフェーズ信号及び前記読出データフェーズ信号とは互いに異なるタイミングで、双方向に、互いに異なる信号線上に送信されることを特徴とするデータ伝送システム。

【請求項 31】 請求項 28 乃至 30 のいずれかにおいて、前記バッファの前記読出データフェーズ信号受信手段は、バッファ内部クロックと前記読出データフェーズ信号とからデータ受信用バッファ内部クロックを再生する手段を備え、他方、前記 DRAM の読出データフェーズ信号出力手段は、外部クロックと、受信した前記書込データフェーズ信号とから前記読出データフェーズ信号を出力する DRAM 内部クロックを再生する手段を有していることを特徴とするデータ伝送システム。

【請求項 32】 複数のメモリ回路と、バッファとを備え、前記バッファからコマンド・アドレス信号を前記複数のメモリ回路に送信すると共に、前記バッファと前記複数のメモリ回路との間では、前記コマンド・アドレス信号に伴うデータ信号を送受するメモリモジュールであって、前記複数のメモリ回路及びバッファの少なくとも一方には、前記コマンド・アドレス信号と前記データ信号との間に前記メモリ回路の搭載位置に依存して生じるタイミングスキューを吸収するスキュー吸収手段を含むことを特徴とするメモリモジュール。

【請求項 33】 請求項 32 において、前記メモリ回路は DRAM であり、前記コマンド・アドレス信号は前記バッファから前記メモリ回路に出力されるバッファクロックに整合して出力されることを特徴とするメモリモジュール。

【請求項 34】 請求項 33 において、前記スキュー吸収手段は前記複数のメモリ回路及びバッファにそれぞれ設けられていることを特徴とするメモリモジュール。

【請求項 35】 請求項 34 において、前記データ信号は当該データ信号の位相をあらわすデータフェーズ信号に整合して、前記複数の DRAM とバッファ間で送受されることを特徴とするメモリモジュール。

【請求項 36】 請求項 35 において、前記バッファと DRAM との間には

、互いに衝突しないタイミングで双方向に前記データフェーズ信号が送信されており、前記DRAM及びバッファでは、受信したデータフェーズ信号を基準として、内部クロックを生成し、該内部クロックにしたがって、データの受送信を行うことを特徴とするメモリモジュール。

【請求項 37】 請求項 35 において、前記バッファとDRAMとの間には、互いに異なる配線を介して双方向に前記データフェーズ信号が送信されており、前記DRAM及びバッファでは、受信したデータフェーズ信号を基準として、内部クロックを生成し、該内部クロックにしたがって、データの受送信を行うことを特徴とするメモリモジュール。

【請求項 38】 請求項 36 において、前記DRAMには、前記バッファクロックに整合してコマンド・アドレス信号が前記バッファから与えられ、更に、前記データフェーズ信号として前記バッファからライトデータフェーズ信号(WDPS)が与えられ、前記DRAMのスキュー吸収手段は前記バッファクロックから前記コマンド・アドレス信号を受信するための複数の位相クロックを生成する手段と、前記WDPSからデータ受信用DRAM内部位相クロックを生成する手段と、前記位相クロックに整合して受信されたコマンド・アドレス信号を前記データ受信用DRAM内部位相クロックにドメインクロッシングして、乗せかえる手段を備えていることを特徴とするメモリモジュール。

【請求項 39】 請求項 38 において、前記DRAMは、前記WDPSに基づいて、前記データフェーズ信号としてリードデータフェーズ信号(RDPS)を前記バッファに出力し、前記バッファの前記スキュー吸収手段は前記DRAMから受信したRDPSからデータ受信用バッファ内部位相クロックを生成する手段と、前記WDPSに基づいてバッファ内部位相クロックを生成する手段と、前記RDPSに整合して入力される読出データ信号を前記バッファ内部位相クロックに乗せかえる手段とを含むことを特徴とするメモリモジュール。

【請求項 40】 請求項 36 において、前記DRAMには、前記データフェーズ信号として前記バッファからライトデータフェーズ信号(WDPS)が与えられると共に、前記WDPSに整合してデータ信号が入力され、更に、前記DRAMのスキュー吸収手段は前記WDPSからデータ受信用DRAM内部位相クロ

ックを生成する手段と、前記バッファクロックから複数の位相クロックを生成する手段と、前記データ受信用DRAM内部位相クロックに整合して受信されたデータ信号を前記複数の位相クロックにドメインクロッシングして、乗せかえる手段を備えていることを特徴とするメモリモジュール。

【請求項41】 請求項40において、前記DRAMはバッファクロックに基づいて、リードデータフェーズ信号(RDPS)を出力し、前記バッファの前記スキュー吸収

手段は前記RDPSに基づいてデータ受信用バッファ内部位相クロックを生成する手段と、前記グローバルクロックに基づいてバッファ内部位相クロックを生成する手段と、前記DRAMから読み出され、前記データ受信用バッファ内部位相クロックにしたがって受信されたデータ信号を前記バッファ内部位相クロックに乗せかえ、ドメインクロッシングを行う手段を含むことを特徴とするメモリモジュール。

【請求項42】 複数のメモリ回路と、バッファとを備え、前記バッファからコマンド・アドレス信号を前記複数のメモリ回路に送信すると共に、前記バッファと前記複数のメモリ回路との間では、前記コマンド・アドレス信号に伴うデータ信号が送受されるメモリモジュールであって、前記複数のメモリ回路及びバッファとの間では、前記データ信号を前記メモリ回路及びバッファから交互に同一信号線上に伝送されるデータフェーズ信号に整合して送受すると共に、前記バッファは前記メモリ回路及び前記バッファにおける前記データフェーズ信号の送信時間を規定するコントロール信号を出力する手段を備えていることを特徴とするメモリモジュール。

【請求項43】 請求項42において、前記メモリ回路は前記コントロール信号を受けて、前記データフェーズ信号の送信を制御するコントロール回路を含むことを特徴とするメモリモジュール。

【請求項44】 請求項42において、前記バッファは内部で発生される前記コントロール信号により、前記データフェーズ信号の前記メモリ回路への送信を制御することを特徴とするメモリモジュール。

【請求項45】 複数のメモリ回路と、メインクロックに応じて前記複数の

DRAMを制御する制御回路とを含み、前記複数のメモリ回路と前記制御回路とは、データ信号を送受する第1の配線と、前記第1の配線とは長さの異なる第2の配線によって接続されているメモリシステムにおいて、

前記制御回路は前記メインクロックを n (n は2以上の正整数)分周したクロック信号を得、コマンド・アドレス信号を前記 n 分周したクロック信号に整合させて前記第2の配線を介して複数のメモリ回路に対して出力すると共に、前記 n 分周したクロック信号と所定の周波数関係を有し、前記データ信号の位相をあらわすデータ位相信号(DPS)を第1の配線を介して出力し、前記複数のメモリ回路は前記第1及び第2の配線間の配線長の差によって生じるタイミングスキューを前記データ位相信号を用いて吸収することを特徴とするメモリシステム。

【請求項46】 請求項45において、前記メモリ回路はDRAMであり、前記データ位相信号(DPS)は前記メインクロックを n 分周した周波数を有していることを特徴とするメモリシステム。

【請求項47】 請求項46において、前記制御回路は前記DRAMと共にモジュール上に搭載されたバッファであり、当該バッファには、メモリコントローラからグローバルクロックが前記メインクロックとして供給されることを特徴とするメモリシステム。

【請求項48】 請求項46において、前記制御回路は前記DRAMと前記第1及び第2の配線によって直接接続されたメモリコントローラであり、前記メモリコントローラには、前記メインクロックとしてシステムクロックが与えられることを特徴とするメモリシステム。

【請求項49】 請求項46において、前記制御回路は前記 n 分周したクロック信号と共に、前記クロック信号と整合したコマンド・アドレス信号を前記第2の配線を介して、前記DRAMに出力し、更に、前記クロック信号と同じ周波数のデータ位相信号を前記第1の配線を介して、前記DRAMに出力し、前記DRAMは前記クロック信号に整合して、前記制御回路から受信したコマンド・アドレス信号を受信した前記データ位相信号のタイミングに合せかえることによって、前記タイミングスキューを吸収することを特徴とするメモリシステム。

【請求項50】 請求項49において、周期内に転送されるコマンド・アド

レス信号が最大 m 回である場合、前記DRAMは、各コマンド・アドレス信号を $1/m$ 位相毎に、 n 分周された前記クロック信号のタイミングから生成された内部クロック信号のいずれかにより受信することを特徴とするメモリシステム。

【請求項 5 1】 請求項 5 0 において、前記 D R A M 1 1 0 は更に前記制御回路から受信した前記データフェーズ信号のタイミングから $1/m$ 位相ごとに内部データ位相クロックを生成し、前記内部クロック信号と前記内部データ位相クロックとを対応付けておき、内部コマンド・アドレス信号を前記内部クロック信号から前記内部データ位相クロックのあらかじめ対応付けられた1つに受け渡すことによって、内部コマンド・アドレス信号を生成することを特徴とするメモリシステム。

【請求項 5 2】 請求項 5 1 において、前記制御回路は各 D R A M に書き込まれるデータ信号をデータフェーズ信号のタイミングに整合して、D R A M に送信され、周期内に転送されるデータ信号が最大 k 回である場合、DRAMは前記制御回路より送信されたデータフェーズ信号のタイミングから $1/k$ 位相ごとに生成された内部クロック信号のいずれかにしたがって、格納されることを特徴とするメモリシステム。

【請求項 5 3】 請求項 5 2 において、前記 D R A M からデータ信号を読み出す際、前記 D R A M は、前記制御回路から与えられたデータ位相信号（W D P S）に基づいて、データ位相信号（R D P S）を生成し、読み出されたデータ信号を R D P S のタイミングに整合して送信することを特徴とするメモリシステム。

【請求項 5 4】 請求項 5 3 において、前記制御回路は、前記 D R A M からの R D P S を受けると、当該 R D P S のタイミングから $1/k$ 位相ごとに生成された内部クロック信号のいずれかにより受信し、当該内部クロック信号と、前記制御回路内で生成された W D P S のタイミングから $1/k$ 位相ごとに内部生成された内部クロックとを対応付けておき、前記内部クロック信号により受信されたデータ信号を前記内部クロックのあらかじめ対応づけられた1つに受け渡すことにより、内部リードデータ信号を生成することを特徴とするメモリシステム。

【請求項 5 5】 請求項 5 4 において、前記コマンド・アドレス信号は前記

n分周したクロック信号の立ち上がり、立下りエッジに同期して、前記制御回路から送信され、前記n分周したクロック信号の立ち上がり、立下りエッジに同期してDRAMに取り込まれることを特徴とするメモリシステム。

【請求項56】 請求項46において、前記制御回路は前記n分周したクロック信号と共に、前記クロック信号と整合したコマンド・アドレス信号を前記第2の配線を介して、前記DRAMに出力し、更に、前記クロック信号と同じ周波数のデータ位相信号を前記第1の配線を介して、前記DRAMに出力し、前記DRAMは前記クロック信号に整合して、前記制御回路から受信したデータ信号を受信した前記データ位相信号のタイミングに合せかえることによって、前記タイミングスキューを吸収することを特徴とするメモリシステム。

【請求項57】 請求項56において、前記DRAM110は、前記制御回路から受信した前記データフェーズ信号のタイミングから1/m位相ごとに内部データ位相クロックを生成する手段と、前記n分周されたクロック信号から1/m位相ごとに内部クロックを生成する手段とを備え、前記内部データ位相クロックと前記内部クロックを対応付けておき、内部データ信号を前記内部データ位相クロックから前記内部クロックのあらかじめ対応付けられた1つに受け渡すことによって、内部データ信号を生成することを特徴とするメモリシステム。

【請求項58】 請求項57において、前記制御回路は各DRAMから読み出されたデータ信号をデータフェーズ信号(RDPS)のタイミングに整合して、DRAMから受信し、周期内に転送されるデータ信号が最大k回である場合、前記制御回路は前記DRAMより送信されたRDPSのタイミングから1/k位相ごとに生成された内部データ位相クロックと、前記制御回路の内部位相クロックとを対応付けることによって格納することを特徴とするメモリシステム。

【請求項59】 請求項45において、前記データ位相信号は前記制御回路と前記メモリ回路との間で、同一或いは異なる信号線を介して送受されることを特徴とするメモリシステム。

【請求項60】 請求項45において、前記複数のDRAMは単一のモジュール上に搭載されており、前記制御回路は前記複数のDRAMと実質的に同一の長さの配線長を有する第1の配線によって接続されると共に、前記第1の配線

よりも長い配線長を有する第2の配線とによって接続されたメモリコントローラであり、前記メモリコントローラには、前記メインクロックとしてシステムクロックが与えられ、且つ、前記複数のDRAMに第2の配線を介して前記システムクロックを分周して、 n 分周されたクロック信号として送信すると共に、前記データ位相信号を前記クロック信号と同一の周波数で送信する構成を備えていることを特徴とするメモリシステム。

【請求項61】 請求項60において、前記モジュール上の前記複数のDRAMには、複数のグループに区分されており、各グループにはそれぞれ個別に、前記第2の配線が施されていることを特徴とするメモリシステム。

【請求項62】 請求項62において、前記第1の配線に送信される前記データ位相信号は前記 n 分周されたクロック信号の位相に対して先行する位相を備えていることを特徴とするメモリシステム。

【請求項63】 請求項60において、前記モジュール上の前記複数のDRAMは複数のグループに区分されると共に、複数のグループには共通の前記第2の配線が施されていることを特徴とするメモリシステム。

【請求項64】 請求項63において、前記複数のグループに与えられる前記データ位相信号には、互いに異なる位相オフセット値が与えられていることを特徴とするメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速で動作を可能にする構成を備えたメモリシステム、及び、当該メモリシステムに使用されるデータ伝送方法に関する。

【0002】

【従来の技術】

従来、この種のメモリシステムにおいては、高速且つ低信号振幅で動作させるインタフェースが検討され、このインタフェースの規格として、SSTL (Stub Series Terminated Transceiver Logic) が提案されている。また、DRAMをメモリ装置として備えたメモリシステムでは、DRAMをより高速で動作させるため

に、クロックの立ち上がり（前縁）と立下り（後縁）の双方のエッジに同期してデータを入出力することにより、データ伝送速度を2倍にできるDDR（Double Data Rate）方式を採用したのもも提案されている。

【0003】

従来、上記したSSTL及びDDRを採用したメモリシステムとして、マザーボード上に、複数のメモリモジュールを取り付け、これら複数のメモリモジュールをチップセットと呼ばれるメモリコントローラによって制御する形式のメモリシステムが提案されている。この場合、各メモリモジュール上には、複数のDRAMが搭載されている。

【0004】

この種のメモリシステムとして、特開2001-256772（以下、特許文献1と呼ぶ）は、複数のDRAMを搭載したメモリモジュールを複数個マザーボード上に取り付けたメモリシステムを開示している。開示されたメモリモジュールは、矩形形状のメモリモジュール基板の長手方向に並列に配置された複数のDRAMと、複数のDRAMの間に配置されたコマンド・アドレスバッファ、及び、クロックを各DRAMに分配するPLLチップとを備えている。メモリモジュール上の各DRAMは、モジュール基板の短辺方向に延びるモジュールデータ配線に接続され、コマンド・アドレスバッファ及びPLLチップは、それぞれモジュール基板の短辺方向に延びるモジュールコマンド・アドレス配線及びモジュールクロック配線に接続されている。更に、コマンド・アドレスバッファ及びPLLチップから各DRAMに対して、コマンド・アドレス及びクロックを分配するために、モジュールコマンド・アドレス分配配線及びモジュールクロック分配配線がモジュール基板の長辺方向に引き出されている。

【0005】

この構成では、データ信号は、モジュール基板上に設けられたメモリコントローラから、各メモリモジュール上のDRAMに対して直接与えられ、コマンド・アドレス信号及びクロック信号は、メモリコントローラからそれぞれコマンド・アドレスバッファ及びPLLチップを介して各メモリモジュール上のDRAMに与えられる。上記したメモリモジュールを使用したメモリシステムは、単一のメ

メモリモジュールを考慮した場合、マザーボード上の信号配線に対してメモリモジュール上において殆ど分岐配線を形成する必要がないため、分岐配線で生じる好ましくない信号反射による波形の乱れを軽減できるという利点がある。更に、アクセス時間を短縮できるという利点もある。

【0006】

また、特開平10-293635号公報（以下、特許文献2と呼ぶ）には、メモリコントローラと複数のメモリモジュールとをマザーボード上に搭載したメモリシステムが開示されている。開示されたメモリシステムは、メモリコントローラから出力されるクロック信号とデータ信号との伝搬時間を揃えることにより、各メモリモジュールのセットアップ時間、ホールド時間を確保し、高速信号転送を可能にしている。更に、特許文献2には、クロックを安定に供給する方法として、メモリモジュール又はメモリLSI内で、入力されたクロックの2通倍のクロックを生成し、生成されたクロックに同期してSDRAMの信号及び出力を制御することも記載されている。このため、引用文献2、図28には、メモリコントローラで周波数 2ϕ のクロックを発生し、当該クロックを周波数 ϕ に2分周してメモリモジュールに伝送することが記載されている。

【0007】

また、特許文献2、図34には、メモリコントローラからのクロック周波数をメモリモジュールにおいて2倍にして、メモリモジュールのメモリに供給することも記載されている。このように、特許文献2は、メモリコントローラとメモリモジュールとの間では、所定周波数のクロックを送受し、当該クロックをSDRAMのようなメモリ或いはメモリコントローラにおいて、当該所定周波数のクロックを2倍の周波数にすることが開示されている。換言すれば、特許文献2では、メモリ内のクロック周波数よりも低い周波数をメモリモジュールとメモリコントローラ間で送受することが記載されている。

【0008】

【特許文献1】

特開2001-256772号公報

【0009】

【特許文献 2】

特開平 1 0 - 2 9 3 6 3 5 号公報

【0 0 1 0】**【発明が解決しようとする課題】**

特許文献 1 に記載されたメモリモジュールのように、モジュール基板に短辺方向に延びるモジュールデータ配線と、コマンド・アドレスバッファ及び P L L チップからそれぞれ D R A M 上に引き出されるモジュールコマンド・アドレス分配配線及びモジュールクロック分配配線とは長さが異なるため、データは、コマンド・アドレス及びクロック信号との異なるタイミングで各 D R A M に到達することになり、タイミングの調整が困難である。

【0 0 1 1】

また、特許文献 2 のように、メモリモジュール内のクロック周波数よりも低い周波数のクロックをメモリコントローラとメモリモジュールとの間で送受したのでは、データの転送時間が長くなってしまう。更に、特許文献 2 の構成では、データの転送速度はメモリの動作速度を越えることができないため、高速化並びに搭載できるメモリモジュールの数に限界が生じてしまう。また、両引用文献は、メモリコントローラとメモリモジュール間で、データを高速に伝送する手法について何等開示していない。

【0 0 1 2】

本発明の目的は、各メモリモジュール内におけるデータと、コマンド・アドレス、クロック信号とのタイミングの調整を容易に行うことができるメモリシステムを提供することである。

【0 0 1 3】

本発明の他の目的は、分岐及びインピーダンスミスマッチによる反射信号を低減でき、結果として、高速で動作可能なメモリシステムを提供することである。

【0 0 1 4】

本発明の更に他の目的は、モジュール内に設けられた 2 つの回路間で、高速でデータを転送できるデータ転送方法を提供することである。

【0 0 1 5】

本発明の具体的な目的は、メモリモジュール内のバッファとDRAMとの間でデータを高速で転送できるデータ転送方法を提供することである。

【0016】

【課題を解決するための手段】

本発明によれば、メモリモジュール上に予め定められた機能を有するバッファを搭載する一方、メモリコントローラとメモリモジュール、メモリモジュールとメモリモジュール間をポイント・ツー・ポイント接続としたメモリシステムが得られる。この構成によれば、高周波での信号品質を改善できると共に、バッファとDRAM間のメモリモジュール上の各信号配線は、電氣的に無視できる分岐だけで、他の電氣的に影響のある分岐を持たない配線レイアウトにより結線でき、結果的に信号品質を改善することができる。

【0017】

更に、本発明によれば、各メモリモジュール上において、双方向データフェーズ信号によるデータ送受信方式を用いることにより、より高速のメモリシステムを実現できる。

【0018】

ここで、メモリモジュール上に単独あるいは複数備えられた本発明に係るバッファについて説明しておく。メモリモジュール上に備えられたバッファには、メモリコントローラとメモリモジュール間、メモリモジュールとメモリモジュール間のデータ配線が、グループ化された形で接続されている。複数のメモリモジュールを備えたメモリシステムでは、隣接するメモリモジュール上のバッファがデータ線により互いにポイント・ツー・ポイントで接続されている。この場合、DRAMのデータ周波数に対して n 倍速でデータ信号が、データ線上に伝達される。また、パケットに圧縮されることにより多重化されたデータ線の本数は $1/n$ 本程度に削減される（実際には割り切れない場合等があるので必ずしも $1/n$ ではない）。

【0019】

一方、コマンド・アドレス配線は、データ配線のグループ毎に、メモリコントローラと各メモリモジュールのバッファ間に接続されており、データ配線と同様

にメモリコントローラとメモリモジュール間、メモリモジュールとメモリモジュール間には、互いにポイント・ツー・ポイントで接続されている。コマンド・アドレス信号はDRAMのコマンド・アドレス信号周波数に対して m 倍速で信号伝達され、また、パケットに圧縮されると、信号線の本数は $1/m$ 程度に削減される（この場合も、実際には割り切れない場合等があるので必ずしも $1/m$ ではない）。

【0020】

各メモリモジュール上に設けられたバッファは、メモリコントローラ或いは前段メモリモジュールからのデータ、コマンド・アドレス信号を受信し、メモリモジュール上のDRAMに対して、データ、コマンド・アドレス信号のパケットをエンコードして、DRAMに対応する信号数にし、 $1/n$, $1/m$ 倍の周波数で送信する機能を有する。更に、カスケード接続される次段メモリモジュールに対してコマンド・アドレス信号を伝達送信する機能、また、次段メモリモジュールとデータ信号を双方向で受送信する機能をもバッファには備えられている。メモリモジュール上の各信号は電氣的に無視できる分岐以外を有さない配線レイアウトで結線される。データ、コマンド・アドレス信号のパケット送信先の識別はモジュールID信号により行われる。

【0021】

以下、本発明の特徴となる態様を列挙する。

【0022】

本発明の第1の態様によれば、複数のメモリ回路を搭載したモジュールと、前記複数のメモリ回路を制御するコントローラとを備えたメモリシステムにおいて、前記モジュールには、前記コントローラとデータ伝送用のデータ配線によって接続された少なくとも一つのバッファが搭載されており、前記モジュールでは、前記バッファと前記複数のメモリ回路とが内部データ配線によって接続されていることを特徴とするメモリシステムが得られる。

【0023】

本発明の第2の態様によれば、第1の態様において、前記モジュールには、前記バッファが複数個配置されており、複数のバッファはそれぞれ前記データ配

線により、前記コントローラと接続されていることを特徴とするメモリシステムが得られる。

【 0 0 2 4 】

本発明の第 3 の態様によれば、第 1 又は第 2 の態様において、前記バッファは、更に、コマンド・アドレス配線及びクロック配線によって、前記コントローラと接続されていることを特徴とするメモリシステムが得られる。

【 0 0 2 5 】

本発明の第 4 の態様によれば、第 3 の態様において、前記バッファは、前記コマンド・アドレス配線及びクロック配線にそれぞれ対応した内部コマンド・アドレス配線及び内部クロック配線により、前記モジュールの各メモリ回路と接続されていることを特徴とするメモリシステムが得られる。

【 0 0 2 6 】

本発明の第 5 の態様によれば、第 4 の態様において、前記内部コマンド・アドレス配線及び前記内部クロック配線は前記モジュールの複数のメモリ回路に共通に使用されることを特徴とするメモリシステムが得られる。

【 0 0 2 7 】

本発明の第 6 の態様によれば、第 1 乃至 5 の態様のいずれかにおいて、前記メモリ回路は、DRAMであり、前記メモリコントローラと前記バッファとの間の前記データ配線には、双方向にデータが送受されることを特徴とするメモリシステムが得られる。

【 0 0 2 8 】

本発明の第 7 の態様によれば、複数のメモリ回路をそれぞれ搭載した複数のモジュールと、前記複数のモジュールの各メモリ回路を制御するコントローラとを備えたメモリシステムにおいて、前記各モジュールには、少なくとも一つのバッファが設けられており、当該各モジュールのバッファは、他のモジュールのバッファ及び／又は前記コントローラとデータ伝送用のデータ配線により接続されていることを特徴とするメモリシステムが得られる。

【 0 0 2 9 】

本発明の第 8 の態様によれば、第 7 の態様において、前記各モジュールのバッ

ファは、他のモジュールのバッファ及び／又は前記コントローラとコマンド・アドレス配線及びクロック配線によって接続されていることを特徴とするメモリシステムが得られる。

【0030】

本発明の第9の態様によれば、第7又は8の態様において、前記データ配線は、前記複数のモジュール上のバッファと前記メモリコントローラとをカスケード接続することによってデジチェーンを構成していることを特徴とするメモリシステムが得られる。

【0031】

本発明の第10の態様によれば、第7の態様において、前記複数のモジュールの各バッファは、前記データ配線により、直接、前記メモリコントローラに接続されていることを特徴とするメモリシステムが得られる。

【0032】

本発明の第11の態様によれば、第10の態様において、前記複数のモジュールの各バッファは、更に、コマンド・アドレス配線及びクロック配線によって、直接、前記メモリコントローラに接続されていることを特徴とするメモリシステムが得られる。

【0033】

本発明の第12の態様によれば、第11の態様において、前記データ配線、前記コマンド・アドレス配線、及び前記クロック配線により、直接、前記メモリコントローラに接続された前記モジュールのバッファに対して、データ配線、コマンド・アドレス配線、及びクロック配線によりカスケード接続された他のモジュール上に配列されたバッファとを有することを特徴とするメモリシステムが得られる。

【0034】

本発明の第13の態様によれば、第8乃至12の態様のいずれかにおいて、前記各モジュールの複数のメモリ回路は、複数のランクに区分されており、同一ランクに属する複数モジュールの前記メモリ回路は同時にアクセスの対象となることを特徴とするメモリシステムが得られる。

【0035】

本発明の第14の態様によれば、第12又は13の態様のいずれかにおいて、前記データ配線上のデータ伝送速度は、前記各モジュール上の前記バッファと各メモリ回路間の内部データ配線上のデータ伝送速度より速いことを特徴とするメモリシステムが得られる。

【0036】

本発明の第15の態様によれば、第14の態様において、前記コマンド・アドレス配線及び前記クロック配線上の伝送速度は、当該コマンド・アドレス配線及びクロック配線にそれぞれ対応して前記バッファと各メモリ回路間の伝送速度よりも速いことを特徴とするメモリシステムが得られる。

【0037】

本発明の第16の態様によれば、第14の態様において、前記データ配線には、複数のモジュールのバッファに対するデータがパケット化されて伝送され、前記バッファではパケット化されたデータを分離することを特徴とするメモリシステムが得られる。

【0038】

本発明の第17の態様によれば、第15の態様において、前記コマンド・アドレス配線及び前記クロック配線は、複数のモジュールのバッファに対するコマンド・アドレス及びクロックがパケット化して伝送され、前記バッファは、前記コマンド・アドレスを分離すると共にクロックを分周する機能を備えていることを特徴とするメモリシステムが得られる。

【0039】

本発明の第18の態様によれば、バッファ及び当該バッファに接続されたメモリ回路とを搭載したモジュールと、該モジュール上の前記バッファに接続されたメモリコントローラとを備え、前記メモリコントローラと前記バッファとの間の伝送速度は、前記モジュール上の前記バッファと、当該バッファに接続されたメモリ回路との間の伝送速度より速いことを特徴とするメモリシステムが得られる。

【0040】

本発明の第19の態様によれば、第18の態様において、前記バッファを有するモジュールは、複数個配列されており、前記各モジュールのバッファは、前記メモリコントローラに対して、順次、データ配線、コマンド・アドレス配線、及び、クロック配線により、カスケード接続され、更に、各モジュールでは、前記メモリ回路と前記バッファとが内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線によって接続され、前記データ配線、コマンド・アドレス配線、及び、クロック配線上の伝送速度は、前記内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線上の伝送速度よりも速いことを特徴とするメモリシステムが得られる。

【0041】

本発明の第20の態様によれば、第19の態様において、前記各モジュールに搭載される前記メモリ回路は、DRAMであり、該各モジュール上において、当該モジュールのバッファとDRAMとの間には、互いに衝突しないタイミングで双方向にデータフェーズ信号が送信されており、前記DRAM及びバッファでは、受信したデータフェーズ信号を基準として、内部クロックを生成し、該内部クロックにしたがって、データの受送信を行うことを特徴とするメモリシステムが得られる。

【0042】

本発明の第21の態様によれば、第1の内部クロックにしたがってデータの受信を行う第1のデバイスと、第2の内部クロックにしたがってデータの受信を行う第2のデバイスとを備え、第1及び第2のデバイスとの間で、双方向にデータの送受を行うデータ伝送方法において、第1及び第2のデバイス間で、同一配線上に、互いに衝突しないタイミングで連続的に第1及び第2のデータフェーズ信号を双方向に送信しておき、第1のデバイスでは、前記第1のデータフェーズ信号のタイミングを参照して、データを第2のデバイスに送信し、他方、第2のデバイスでは、前記第2のデータフェーズ信号のタイミングを参照して、データを第1のデバイスに送信することを特徴とするデータ伝送方法が得られる。

【0043】

本発明の第22の態様によれば、第21の態様において、前記第2のデバイス

では、受信した第1のデータフェーズ信号にしたがって、前記第2の内部クロックを生成し、該第2の内部クロックにしたがって、前記第1のデバイスからのデータを受信する一方、前記第1のデバイスでは、受信した第2のデータフェーズ信号にしたがって、

前記第1の内部クロックを生成し、該第1の内部クロックにしたがって、前記第2のデータフェーズ信号を生成すると共に、第2のデバイスからのデータを受信することを特徴とするデータ伝送方法が得られる。

【0044】

本発明の第23の態様によれば、第21又は22の態様において、前記第1のデバイスでは、双方向に伝送される第1及び第2のデータフェーズ信号のうち、当該第1のデバイスから出力される第1のデータフェーズ信号をサプレスし、他方、前記第2のデバイスでは、双方向に伝送される第1及び第2のデータフェーズ信号のうち、当該第2のデバイスから出力される第2のデータフェーズ信号をサプレスすることを特徴とするデータ伝送方法が得られる。

【0045】

本発明の第24の態様によれば、第21乃至23の態様のいずれかにおいて、前記第1及び第2のデバイスは、それぞれ、バッファ及びDRAMであり、前記DRAMには外部クロックが与えられており、当該外部クロックと受信した前記第1のデータフェーズ信号とにより、前記第2のクロックを生成することを特徴とするデータ伝送方法が得られる。

【0046】

本発明の第25の態様によれば、第21乃至23の態様のいずれかにおいて、前記第1及び第2のデバイスは、DLLを使用して、前記第2及び第1のデータフェーズ信号から第1及び第2の内部クロックを生成することを特徴とするデータ伝送方法が得られる。

【0047】

本発明の第26の態様によれば、第1及び第2のデバイスとの間で、データの送受を行うデータ伝送システムにおいて、第1及び第2のデバイスの送信側は、前記データの送信の際、前記データの送信とは無関係に連続的に、前記データの

所定の位相をあらわすデータフェーズ信号を送信する手段を備え、前記第1及び第2のデバイスの受信側は、前記データフェーズ信号に基づいて、前記受信側の内部クロックを再生し、再生された内部クロックにしたがって前記データを受信する手段を備えていることを特徴とするデータ伝送システムが得られる。

【0048】

本発明の第27の態様によれば、第1及び第2のデバイスとの間で、双方向にデータの送受を行うデータ伝送システムにおいて、第1及び第2のデバイスは、それぞれ、前記データの送信の際、前記データの送信とは無関係に連続的に、前記データの所定の位相をあらわすデータフェーズ信号を送信し、当該データフェーズに基づいて、前記データを送信する送信手段を備え、前記第1及び第2のデバイスは、それぞれ、前記データフェーズ信号に基づいて、前記受信側の内部クロックを再生し、再生された内部クロックにしたがって前記データを受信する受信手段を備えていることを特徴とするデータ伝送システムが得られる。

【0049】

本発明の第28の態様によれば、第27の態様において、前記第1及び第2のデバイスは、それぞれ、バッファ及びDRAMであり、前記バッファの送信手段は、前記データフェーズ信号として、前記DRAMに対して、書込データフェーズ信号を出力する手段を有すると共に、前記バッファの受信手段は、前記データフェーズ信号として、前記DRAMからの読出データフェーズ信号を受信する手段を有しており、前記DRAMの受信手段は、前記書込データフェーズ信号から、前記データ受信用の内部クロックを再生する手段と、当該再生された内部クロックに応じて、前記データを受信する手段とを備え、更に、前記DRAMの送信手段は、受信した前記書込データフェーズ信号に依存したタイミングで、前記データフェーズ信号として、読出データフェーズ信号を出力する手段を有していることを特徴とするデータ伝送システムが得られる。

【0050】

本発明の第29の態様によれば、第28の態様において、前記書込データフェーズ信号及び前記読出データフェーズ信号とは互いに異なるタイミングで、双方

向に、同一の信号線上に送信されることを特徴とするデータ伝送システムが得られる。

【 0 0 5 1 】

本発明の第 3 0 の態様によれば、第 2 8 の態様において、前記書込データフェーズ信号及び前記読出データフェーズ信号とは互いに異なるタイミングで、双方向に、互いに異なる信号線上に送信されることを特徴とするデータ伝送システムが得られる。

【 0 0 5 2 】

本発明の第 3 1 の態様によれば、第 2 8 乃至 3 0 の態様のいずれかにおいて、前記バッファの前記読出データフェーズ信号受信手段は、バッファ内部クロックと前記読出データフェーズ信号とからデータ受信用バッファ内部クロックを再生する手段を備え、他方、前記 D R A M の読出データフェーズ信号出力手段は、外部クロックと、受信した前記書込データフェーズ信号とから前記読出データフェーズ信号を出力する D R A M 内部クロックを再生する手段を有していることを特徴とするデータ伝送システムが得られる。

【 0 0 5 3 】

上記したメモリシステムを高速化する場合、各メモリモジュール上におけるスキューを考慮した以下の構成を採ることが好ましい。

【 0 0 5 4 】

即ち、本発明の態様によれば、複数のメモリ回路と、バッファとを備え、前記バッファからコマンド・アドレス信号を前記複数のメモリ回路に送信すると共に、前記バッファと前記複数のメモリ回路との間では、前記コマンド・アドレス信号に伴うデータ信号が送受されるメモリモジュールであって、前記複数のメモリ回路及びバッファの少なくとも一方には、前記コマンド・アドレス信号と前記データ信号との間に、前記メモリ回路の搭載位置に依存して生じるタイミングスキューを吸収するスキュー吸収手段を含むことを特徴とするメモリモジュールが得られる。前記メモリ回路が D R A M である場合、前記コマンド・アドレス信号は前記バッファから前記メモリ回路に出力されるバッファクロックに整合して出力されることが望ましい。

【0055】

このような構成を採用する場合、前記スキュー吸収手段は前記複数のメモリ回路及びバッファにそれぞれ設けられ、前記データ信号は当該データ信号の位相をあらわすデータフェーズ信号に整合して、前記複数のDRAMとバッファ間で送受されることが好ましい。

【0056】

ここで、前記DRAMには、前記バッファクロックに整合してコマンド・アドレス信号が前記バッファから与えられ、更に、前記データフェーズ信号として前記バッファからライトデータフェーズ信号(WDPS)が与えられる場合、前記DRAMのスキュー吸収手段は前記バッファクロックから前記コマンド・アドレス信号を受信するための複数の位相クロックを生成する手段と、前記WDPSからデータ受信用DRAM内部位相クロックを生成する手段と、前記位相クロックに整合して受信されたコマンド・アドレス信号を前記データ受信用DRAM内部位相クロックにドメインクロッシングして、乗せかえる手段を備えていることが望ましい。

【0057】

一方、前記DRAMは、前記WDPSに基づいて、前記データフェーズ信号としてリードデータフェーズ信号(RDPS)を前記バッファに出力し、前記バッファの前記スキュー吸収手段は前記DRAMから受信したRDPSからデータ受信用バッファ内部位相クロックを生成する手段と、前記WDPSに基づいてバッファ内部位相クロックを生成する手段と、前記RDPSに整合して入力される読出データ信号を前記バッファ内部位相クロックに乗せかえる手段とを含んでいる。

【0058】

本発明の別の態様によれば、前記DRAMには、前記データフェーズ信号として前記バッファからライトデータフェーズ信号(WDPS)が与えられると共に、前記WDPSに整合してデータ信号が入力され、更に、前記DRAMのスキュー吸収手段は前記WDPSからデータ受信用DRAM内部位相クロックを生成する手段と、前記バッファクロックから複数の位相クロックを生成する手段と、前

記データ受信用DRAM内部位相クロックに整合して受信されたデータ信号を前記複数の位相クロックにドメインクロッシングして、乗せかえる手段を備えていることを特徴とするメモリモジュールが得られる。

【0059】

ここで、前記DRAMは前記バッファクロックに基づいて、リードデータフェーズ信号(RDPS)を出力すると、前記バッファの前記スキュー吸収手段は前記RDPSに基づいてデータ受信用バッファ内部位相クロックを生成する手段と、前記グローバルクロックに基づいてバッファ内部位相クロックを生成する手段と、前記DRAMから読み出され、前記データ受信用バッファ内部位相クロックにしたがって受信されたデータ信号を前記バッファ内部位相クロックに乗せかえ、ドメインクロッシングを行う手段を含んでいることが好ましい。

【0060】

本発明の更に他の態様によれば、複数のメモリ回路と、バッファとを備え、前記バッファからコマンド・アドレス信号を前記複数のメモリ回路に送信すると共に、前記バッファと前記複数のメモリ回路との間では、前記コマンド・アドレス信号に伴うデータ信号が送受されるメモリモジュールであって、前記複数のメモリ回路及びバッファとの間では、前記データ信号をデータフェーズ信号に整合して送受すると共に、前記バッファは前記メモリ回路及び前記バッファにおける前記データフェーズ信号の送信時間を規定するコントロール信号を出力する手段を備えていることを特徴とするメモリモジュールが得られる。

【0061】

【発明の実施の形態】

図1及び図2を参照すると、本発明の第1の実施形態に係るメモリシステムの配線図及び実体図がそれぞれ示されている。更に、図3は、図1及び図2の一部における配線を詳細に説明するメモリシステムの一部断面図を示している。

【0062】

図2からも明らかな通り、本発明の第1の実施形態に係るメモリシステムは、マザーボード100上に取り付けられたメモリコントローラ101及びクロック発生器102(図1)とを備えている。また、マザーボード100には、複数の

メモリモジュール 103 (図 2 及び図 3 では、4 つのメモリモジュール 103 a、103 b、103 c、103 d) がそれぞれモジュールコネクタ 104 (図 3) を介して搭載されている。

【0063】

各メモリモジュール 103 (添字省略) は、モジュール基板上に搭載されたバッファ 105、及び、図 1 及び図 2 に示されているように、複数の DRAM 110 とを備えている。図示された例では、バッファ 105 は、各メモリモジュール 103 に一つずつ配置され、メモリコントローラ 101 とバッファ 105 とは、データ配線 (DQ) 111、コマンド・アドレス配線 (Cmd/Addr) 112、及び、クロック配線 (CLK/CLKB) 113 によって接続されている。このことから明らかな通り、図 1 及び図 2 に示されたデータ配線 111 は、直接、各 DRAM 110 に接続されず、バッファ 105 を介してメモリコントローラ 101 に接続されている。

【0064】

これらデータ配線 111、コマンド・アドレス配線 112、及び、クロック配線 (CLK/CLKB) 113 は、図 3 に示されているように、メモリコントローラ 101 からメモリモジュール 103 a のバッファ 105 に接続され、当該メモリモジュール 103 a から次段のメモリモジュール 103 b のバッファ 105 に接続されている。以下、同様に、これらの配線は、メモリモジュール 103 c、103 d のバッファ 105 に順次接続され、終端部を終端抵抗により終端され、これによって、デ이지チェーンを形成していることが分かる。換言すれば、データ配線 111 等の配線は、メモリコントローラ 101 とメモリモジュール 103 a 間、メモリモジュール 103 a と 103 b との間、メモリモジュール 103 b と 103 c との間、メモリモジュール 103 c と 103 d との間のバッファ 105 に接続され、更に、前段及び次段のバッファ 105 に対してポイント・ツー・ポイントでカスケード接続されている。

【0065】

図 2 に示されているように、データ配線 (DQ) 111、コマンド・アドレス配線 (Cmd/Addr) 112、及び、クロック配線 113 はそれぞれマザーボ

ード上の配線部分と、モジュール内のモジュール配線部分とに区分することができる。更に、図示されたメモリシステムでは、各メモリモジュール103a～103dを識別するモジュール識別信号MIDを伝送するモジュール識別用配線114も、メモリコントローラ101とバッファ105との間及びバッファ105間に施されている。

【0066】

図1に示すように、各メモリモジュール103内のバッファ105と、当該メモリモジュール103に搭載されているDRAM110とは、内部データ配線111'、内部コマンド・アドレス配線112'、及び、内部クロック配線113'によって接続されている。ここで、内部データ配線111'は、メモリモジュール103上のDRAM110と個々に接続されており、他方、内部コマンド・アドレス配線112'、及び、内部クロック配線113'は、それぞれ、バッファ105の左側又は右側に配置されたDRAM110に対して共通に設けられている。

【0067】

次に、図示されたDRAM110は、それぞれ、8ビット単位でデータの書込、読出を行うことができる×8構成のDRAMであるものとする。各メモリモジュール103内において、各DRAM110とバッファ105の間では、8ビット単位で、データの送受が行われることになる。

【0068】

図示されたメモリシステムについて、より詳細に説明すると、各メモリモジュール103a、103bは、それぞれ、8個のDRAM110を備え、これら8個のDRAM110は、各メモリモジュール103a、103bのバッファ105の左右両側に、それぞれ、4個ずつ配置されている。更に、メモリコントローラ101とバッファ105との間及びバッファ105間のデータ配線111は、32ビット幅を有している。コマンド・アドレス信号及びモジュール識別信号MIDによって、メモリモジュール103a、103bのどちらかが選択されると、選択された例えば、メモリモジュール103a上の8つのDRAM110が活性化され、合計64ビット幅のデータが、8個のDRAM110とバッファ10

5との間で、送受可能な状態になる。

【0069】

一方、図1及び図2に破線で示されたDRAM110が各メモリモジュール103に加えられた場合、バッファ105の左側に4個のDRAM110、右側に5個のDRAMが配置され、メモリコントローラ101とバッファ105との間及びバッファ105間のデータ配線111は、36ビット幅を有している。この構成において、コマンド・アドレス信号及びモジュール識別信号MIDによって、メモリモジュール103a、103bのどちらかが選択されると、選択された例えば、メモリモジュール103a上の9つのDRAM110が活性化され、合計72ビット幅のデータが、9個のDRAM110とバッファ105との間で、送受可能な状態になる。

【0070】

このように、図1及び図2に示されたメモリシステムは、各メモリモジュール103a、103b上の8個又は9個のDRAM110が、同時的にアクセス可能なランクを形成していることが分かる。

【0071】

次に、図1及び図2を参照して、メモリコントローラ101とメモリモジュール103aとの間の配線、及び、隣接するメモリモジュール103間の配線について更に説明する。まず、データ配線111について説明すると、バッファ105とDRAM110間では、64ビット或いは72ビット幅のデータが内部配線111'を介して送受されるにも拘わらず、メモリコントローラ101とバッファ105間、及び、バッファ105間のデータ配線111は、図1及び図2に示されているように、32ビット幅或いは36ビット幅である。

【0072】

このことは、データ配線111上には、DRAM110のデータ周波数、即ち、動作速度よりも速い伝送速度で多重化或いはパケットに圧縮されて、データ信号が送受されることを意味している。図示された例では、DRAM110の動作速度に対してn倍の速度で、データがデータ配線111上にデータが伝達されている（ここで、nは正整数である）。このように、パケットに圧縮されると、デ

ータ配線の本数は $1/n$ 本程度に削減される（実際には割り切れない場合等があるので必ずしも $1/n$ ではない）。

【0073】

他方、コマンド・アドレス配線 112 は、データ配線 111 と同様にメモリコントローラ 101 とメモリモジュール 103 との間、隣接したメモリモジュール 103 の間をポイント・ツー・ポイント接続している。コマンド・アドレス配線 112 には、コマンド・アドレス信号が、DRAM 110 のコマンド・アドレス信号周波数に対して m 倍の速度（ m は正整数）で信号伝達され、また、パケットに圧縮されると、当該信号線の本数は $1/m$ 程度に削減される（この場合も実際には割り切れない場合等があるので必ずしも $1/m$ ではない）。

【0074】

各メモリモジュール 103 上に設けられたバッファ 105 は、メモリコントローラ 101、或いは、前段メモリモジュール 103 からのデータ、コマンド・アドレス信号を受信し、各メモリモジュール 103 上の DRAM 110 に対して、データ、コマンド・アドレス信号のパケットをエンコードして DRAM に対応する信号数にする機能を備えている。また、バッファ 105 は、エンコードされたデータ、コマンド・アドレス信号を $1/n$ 、 $1/m$ 倍の周波数に分周し、DRAM 110 に送信する機能を有する。

【0075】

更に、バッファ 105 は、カスケード接続される次段メモリモジュール 103 に対してコマンド・アドレス信号を伝達、送信する機能、次段メモリモジュールとデータ信号を双方向で受送信する機能、並びに、データ、コマンド・アドレス信号のパケット送信先をあらわすモジュール識別信号 MID を識別する機能をも備えている。バッファ 105 における分周、識別等の機能は、通常の技術を用いて容易に実現できるから、ここでは詳述しない。いずれにしても、メモリモジュール 103 上の各配線は電氣的に無視できる分岐以外を有さない配線レイアウトで結線される。

【0076】

次に、図 2 を参照して、各配線における伝送速度の具体例について説明する。

先ず、各メモリモジュール103上のDRAM110は、SDRAMであるものとし、クロックの前縁及び後縁の双方に同期してデータの入出力を行うDDR (Double Data Rate) 方式を採用しているものとする。更に、各メモリモジュール103におけるバッファ105と各DRAM110間の内部クロック配線113' 上に、666MHzの内部クロック周波数が与えられるものとする、内部データ配線111' 上には、1.33Gbpsのデータ伝送速度、即ち、1.33GHzのデータ周波数でデータが送受され、また、内部コマンド・アドレス配線112' には、666Mbpsのコマンド・アドレス信号がバッファ105から供給される。

【0077】

この例では、マザーボード100に布線されたクロック配線113には、内部クロック周波数を2逓倍した1.33GHzのクロック周波数を有するクロック113がメモリコントローラ101から与えられるものとする。図2に示されているように、データ配線111及びコマンド・アドレス配線112には、クロック周波数の2倍に等しい2.66Gbpsの伝送速度で、データ及びコマンド・アドレス信号が供給され、内部データ配線111' 及び内部コマンド・アドレス配線112' の伝送速度は、それぞれ、1.33Gbps及び666Mbpsである。したがって、図示された例は、 $n=2$ 、 $m=4$ の場合であることが分かる。

【0078】

このように、マザーボード上における信号を多重化し、高周波伝送を行うことにより、マザーボード上の配線数を減少させることができる。データ配線111は信号を2重化すること、1/2、コマンド・アドレス配線112は、信号を4重化すること、1/4に減らすことができる。また、データを2重化することにより、32ビット幅のデータ配線（又は36ビット幅のデータ配線）では、64ビット（又は72ビット）構成のメモリシステムとして動作させることができる。

【0079】

図1～3に示されたメモリシステムは、モジュールコネクタ104（図3）か

らバッファ105に対して、32又は36ビット幅のデータ信号を入出力するレイアウト構成が必要となる。前述したように、メモリモジュール103上の内部データ配線111'と、内部クロック配線113'及びコマンド・アドレス配線112'はともに電氣的に無視できる分岐以外を有さない配線レイアウトで結線されているが、内部データ配線111'と、内部クロック配線113'及びコマンド・アドレス配線112'に接続されるDRAMの数が互いに異なるため、負荷の違いによる信号伝播時間の差が高周波数動作時に問題となることも考えられる。また、図1及び2からも明らかな通り、クロックおよびコマンド・アドレス信号は、各メモリモジュール103上の全てのDRAM110に与えられるため、トータルの入力負荷が大きく、高周波数動作時に問題が生じることも考えられる。

【0080】

図4及び図5を参照すると、本発明の第2の実施形態に係るメモリシステムは、上記した第1の実施形態に係る問題を軽減できる構成を備えている。図示されたメモリシステムは、各メモリモジュール103a～103d(図5)に、2つのバッファ105a及び105bを備えている点で、第1の実施形態に係るメモリシステムとは異なっている。具体的に説明すると、メモリモジュール103a及び103bのバッファ105a及び105bは、その左右両側に配置された複数のDRAM110aと、内部データ配線(DQ)111'、内部コマンド・アドレス配線112'、及び、内部クロック配線113'により接続されている。

【0081】

図示された例では、各メモリモジュール103内のDRAM110aは、バッファ105a又は105bと内部データ配線(DQ)111'により個別に接続され、更に、内部コマンド・アドレス配線112'及び内部クロック配線113'により、バッファ105a又は105bの左右に共通に接続されている。

【0082】

更に、各メモリモジュール103内のバッファ105a及び105bは、第1の実施形態と同様に、メモリコントローラ101又は次段のメモリモジュールと、データ配線111、コマンド・アドレス配線112、及び、クロック配線113により接続されている。この構成は図3に示された接続関係と同様であり、結

果として、各メモリモジュール103のバッファ105a、105bは、それぞれ、他のメモリモジュール103のバッファ105a、105bと互いにポイント・ツー・ポイントで接続されている。即ち、データ配線111、コマンド・アドレス配線112、及び、クロック配線113は、順次、次段のバッファ105a、105bにカスケード接続され、ディジーチェーンを構成している。

【0083】

図5に示された例では、8ビット単位でデータを入出力する×8構成のDRAM110aが各メモリモジュール103上に搭載されており、各DRAM110aは内部クロック配線113'を介して与えられるクロック周波数666MHzのクロックにしたがって入出力動作を行う。この結果、内部コマンド・アドレス配線112'及び内部データ配線111'には、それぞれ、666MHz及び1.33GHzの伝送速度で、コマンド・アドレス信号及びデータが伝送される。

一方、メモリコントローラ101と、メモリモジュール103aのバッファ105a、105bとは、データ配線111、コマンド・アドレス配線112、クロック配線113、及びモジュール識別配線114によって接続されている。更に、これらの配線は、次段のメモリモジュール103bのバッファ105a、105bに延び、更に、図5の後方に示されたメモリモジュール103c、103dのバッファ105a、105bにも接続されている。このように、データ配線111は、コマンド・アドレス配線112、及び、クロック配線113と共に2つのバッファ105a、105bに集中的に、即ち、グループ化して接続されている。

【0084】

図5では、クロック配線113上に、1.33GHzの周波数を有するクロックが与えられ、また、コマンド・アドレス配線112及びデータ配線111には、2.66Gbpsの伝送速度でコマンド・アドレス信号及びデータが入出力される。したがって、各バッファ105a、105bは、メモリコントローラ101からのクロック、コマンド・アドレス信号、データを2又は4個の信号にパラレル化することにより、内部クロック、内部コマンド・アドレス信号、及び、内部データを生成できることが分かる。

【0085】

この構成では、各メモリモジュール103のバッファ105a及び105bを同時に動作させることにより、第1の実施形態と同様に、32ビット幅或いは36ビット幅で、データの入出力を行うメモリシステムを構成することができる。32ビット幅のデータを送受するメモリシステムの場合、メモリモジュール103の各バッファ105a、105bの両側に、それぞれ2つの×8構成のDRAM110aが配置され、各メモリモジュール103が選択されると、両バッファ105a、105bによって、各メモリモジュール103上の合計8個のDRAM110aが活性化され、64ビット幅のデータがバッファ105a、105bと8個のDRAM110aとの間で送受可能になる。図示された例では、メモリコントローラ101とバッファ105a、105bとは、それぞれ、16ビット幅のデータ配線111により接続され、これらデータ配線111は後方に配置されたメモリモジュールのバッファにも接続されている。このことから明らかな通り、データ配線111上には、第1の実施形態と同様に、データが多重化されて伝送される。

【0086】

他方、36ビット幅でデータの送受を行うメモリシステムでは、各メモリモジュール103上の9個のDRAM110aとバッファ105a、105bとの間で72ビット幅のデータが送受可能となる。図5に示された例では、バッファ105aと、当該バッファ105aの左右に配置された5個のDRAM110aとの間で、40ビット幅のデータが送受され、バッファ105bと、当該バッファ105bの左右に配置されたDRAM110aとの間では、32ビットのデータ幅の送受される。

【0087】

この場合、メモリコントローラ101とバッファ105aとの間のデータ配線111及びメモリコントローラ101とバッファ105bとの間のデータ配線111は、それぞれ、20ビット幅、16ビット幅を有し、これらデータ配線111上及びコマンド・アドレス配線112上には、多重化された、即ち、パケットに圧縮されたデータ及びコマンド・アドレス信号が送受されることは、第1の実

施形態と同様である。

【0088】

図示されたメモリシステムは、各バッファ105a及び105bにより駆動されるDRAM110aの数を第1の実施形態に比較して半減することができ、メモリモジュール103上における各バッファ105a、105bにおける配線数を少なく、配線長を短くできる。更に、各バッファ105a、105bの負荷となるDRAM110aの数を少なくできるため、内部データ配線111'と、内部コマンド・アドレス配線112'及び内部クロック配線113'における入力負荷の相違を軽減でき、高周波動作に適したメモリシステムを構成できる。

【0089】

尚、図4に示されたメモリシステムにおいて、36ビット幅のデータをメモリコントローラ101とバッファ105a、105bとの間で送受するメモリシステムでは、図5からも明らかな通り、図4の破線で囲まれたDRAM110aが接続されることは言うまでもない。

【0090】

図4及び図5に示された第2の実施形態に係るメモリシステムは、種々の変形が可能である。例えば、2つのバッファの両側に配置されるDRAMとして、4ビット単位でデータの入出力を行う×4構成のDRAM、或いは、16ビット単位でデータの送受を行う×16構成のDRAMが使用されても良い。また、本発明は、各メモリモジュールのモジュール基板の一表面だけにDRAMを配置したメモリシステムだけでなく、表裏にDRAMを配置したメモリシステムにも適用できる。更に、各メモリモジュールに配置される複数のDRAMを複数のランクに区分したシステムにも同様に適用できる。

【0091】

上記した実施形態に係るメモリシステムでは、各メモリモジュールに与えられるコマンド・アドレス信号は、複数のバッファに対して個々に与えられるため、コマンド・アドレス信号用ピン数はバッファの個数倍となるが、コマンド・アドレス信号は多重化されているため、その増加分は大きくない。

【0092】

図6を参照すると、本発明の第3の実施形態に係るメモリシステムの一例が示されている。図示されたメモリシステムは、各メモリモジュールにおけるバッファの数を増加させることなく、モジュールコネクタ104（図3）とバッファとの間の内部データ配線数を少なくできる構成を備えている。具体的に説明すると、図6に示されたメモリシステムは、メモリコントローラ101と、複数のメモリモジュール103（図では、103a、103bのみが示されている）とを備えており、各メモリモジュール103の表裏には、それぞれ16個のDRAM110（添字省略）が搭載されている。図示されたDRAM110は8ビット単位で書込、読出を行う×8構成のDRAMであるものとする。また、メモリモジュール103a及び103bの中央には、バッファ105（11）及び105（21）がそれぞれ配置されている。このうち、バッファ105（11）には、16ビット幅のデータ配線（DQ）111、コマンド・アドレス配線（Cmd/Add）112、クロック配線（CLK）113、及び、モジュール識別配線（MID）114とが接続されており、他方、バッファ105（21）には、同様に、16ビット幅のデータ配線（DQ）111、コマンド・アドレス配線（Cmd/Add）112、クロック配線（CLK）113、及び、モジュール識別配線（MID）114とが接続されている。各バッファ105（11）、105（21）の上記した配線は、図示されないメモリモジュールのバッファに接続され、デイジーチェーンを構成している。

【0093】

この実施形態では、2枚のメモリモジュール103a、103bにおける合計32個のDRAM110は、それぞれ8個ずつのDRAMにグループ化され、ランク1～4として動作する。この関係で、メモリモジュール103a、103bにおけるバッファ105（11）、105（21）からDRAM110への配線はメモリモジュール103a、103bの表裏の対応するそれぞれのDRAM110に対して共通に配線され、メモリモジュール103a、103b内のビアにより互いに接続される一方、各バッファ105（11）及び105（21）の同一のDQ端子に接続されている。即ち、ランク1とランク3、及び、ランク2とランク4に使用されているそれぞれのDRAM110はメモリモジュール1

03a、103bの表裏の位置にありランクを選択するアドレスビットにより同一ランクのDRAMが活性化される。このことを考慮して、図6では、ランク1に属するDRAM110には、添字r1を付し、以下同様に、ランク2～4のDRAM110をr2～r4によって特徴付けている。

【0094】

この構成では、ランク1のDRAM110を動作させる場合、メモリモジュール103a及び103bのそれぞれ4個のDRAM110r1が選択されると、各メモリモジュール103a、103bのバッファ105(11)、105(21)とDRAM110r1との間で、32ビット幅のデータが内部データ配線111'を介して送受される状態になる。この状態で、バッファ105(11)、105(21)は、それぞれ16ビット幅のデータ配線111によりメモリコントローラ101と接続され、合計32ビットデータ配線としてメモリコントローラ101とのデータの送受信を行うことになる。

【0095】

このように、2枚のメモリモジュール103a及び103bを一組として、4つのランクを構成し、ランク1とランク3、ランク2とランク4のそれぞれのメモリモジュール103a、103b内の配線を共通化することができ、メモリモジュール103a、103b内の配線数を少なくできる。

【0096】

ここで、図6に示されたメモリシステムは、それぞれ、直接メモリコントローラ101に接続されたバッファ105(11)及び105(21)を有している点で、第1の実施形態に係るメモリシステムとは異なっており、各メモリモジュール103a、103bの単一のバッファ105(11)及び105(21)が16ビット幅のデータ配線111によって接続されている点で、第2の実施形態に係るメモリシステムとも相違している。

【0097】

更に、図6に示された構成では、ランク1～4を識別するために、チップセレクト信号(CS)が使用されるが、別途、ランク1～4を識別するためのビットが付加されても良い。

【0098】

次に、図6に示されたメモリシステムの動作を説明すると、一つのコマンド・アドレス信号がメモリコントローラ101から出力されると、当該コマンド・アドレス信号は、この例では、2つのメモリモジュール103a、103bに供給される。この場合、このコマンド・アドレス信号はクロックに同期してメモリコントローラ101から出力されることは言うまでもない。当該コマンド・アドレス信号によって、2つのメモリモジュール103a、103b内における同一ランクにある8個のDRAM、例えば、ランク1のDRAM110r1が活性化され、活性化された8個のDRAM110r1と両メモリモジュール103a、103bとの間で、データの書込、読出動作が行われる。この場合、メモリモジュール103a上の4個のDRAM110r1が活性化され、バッファ105(11)との間で、32ビット幅のデータの送受が可能であり、他方、メモリモジュール103b上の4個のDRAM110r1が活性化されて、バッファ105(21)との間で、同様に、32ビット幅のデータの送受が可能である。

【0099】

バッファ105(11)及び105(21)は、それぞれ16ビット幅のデータ配線111によりメモリコントローラ101に接続されているから、メモリコントローラ101と各バッファ105(11)、105(21)の間では、データが多重化されて伝送されることは、前述した実施形態と同様である。

【0100】

メモリモジュール103a及び103bに設けられたバッファ105(11)及び105(21)には、図示されない他のメモリモジュールのバッファをそれぞれ接続することによって、デューチチェーンを構成することができる。したがって、図示されたメモリシステムのバッファは、105(12~1k)及び105(22~2k)であらわすことができる(但し、kは3以上の正整数)。このことから明らかな通り、図示されたメモリシステムのメモリモジュールは、必要に応じて増設できる。

【0101】

図6に示された第3の実施形態に係るメモリシステムでは、第1の実施形態に

係るメモリシステムと同一のDRAM110を備えた場合、DRAM110のランク数を2から4に増加することになる。また、この実施形態においては、各メモリモジュール内のDRAMをランク構成にすることにより、各メモリモジュール内の配線を共通化できるため、各メモリモジュール103上のレイアウトの自由度が上がり、バッファチップの数も、第2の実施形態に比較して少なくすることができると言う利点がある。更に、図6に示されているように、メモリコントローラ101からのデータは、メモリモジュール103bに対して、他のバッファを介することなく、直接、メモリモジュール103bのバッファ105(21)に与えられているから、2個のバッファ105を介してデータを送受する第1及び第2の実施形態に係るメモリシステムに比較して、バッファによるロジック遅延を削減できる。

【0102】

図7を参照すると、本発明の第3の実施形態に係るメモリシステムの変形例が示されている。このメモリシステムは2つのメモリモジュール103a、103bだけによって構成され、メモリモジュールの増設を考慮しないメモリシステムである。この例では、メモリモジュール103a及び103bにそれぞれ設置されたバッファ105は、他のメモリモジュールに対するディジーチェーンを構成せず、終端抵抗により終端されている。換言すれば、図示された例では、カスケード接続される他のメモリモジュールは存在していないため、図7のメモリモジュール103a及び103bのバッファは、それぞれ参照番号105(1)及び105(2)であらわされている。但し、各メモリモジュール103a、103b上の表裏に設けられた16個のDRAM110は4つのランクに分けられ、且つ、ランク1とランク3、ランク2とランク4のそれぞれのメモリモジュール103a、103b内の配線を共通化していることは、図6と同様である。

【0103】

図8を参照すると、本発明の第3の実施形態に係るメモリシステムの他の変形例が示されている。この変形例は、単一のバッファ105をそれぞれ備えた4つのメモリモジュール103a～103dを有し、これらメモリモジュールのバッファ105(1)～(4)(バッファ105(3)及び105(4)は図示せず

) は、直接メモリコントローラ 101 に接続されている点で、図 6 及び図 7 のメモリシステムとは異なっている。このため、図 8 に示されたメモリシステムの各バッファ 105 は、32 ビット幅の 4 分の 1 に相当するデータ配線本数により、メモリコントローラ 101 に接続されると共に、各メモリモジュール 103 a ~ 103 d 上の×8 構成の DRAM 110 を 8 ランクに区分し、これによって、各メモリモジュール 103 a ~ 103 d のレイアウトの自由度を向上させることができる。

【0104】

上記したように、本実施形態では、4 枚のメモリモジュール 103 a ~ 103 d を一組として 8 ランク構成としたものである。それぞれのメモリモジュール 103 a ~ 103 d に 16 個の DRAM 110 が搭載されており、それぞれのメモリモジュール右側の表に配置された 4 個の DRAM はそれぞれランク 1 ~ 4、右側の裏に配置された 4 個の DRAM はそれぞれランク 5 ~ 8、左側表に配置された 4 個の DRAM はランク 1 ~ 4、左側裏に配置された 4 個の DRAM はそれぞれランク 5 ~ 8 として構成されている。ランク 1 とランク 5、ランク 2 とランク 6、ランク 3 と 7、ランク 4 とランク 8 はメモリモジュールの表裏の対応する位置にあり、各バッファ 105 (1) ~ (4) から DRAM への配線は共通であり、ビアにより接続されている。図 8 に示されたメモリシステムを図 6 に示された実施形態と比較すると、図 8 に示されたメモリシステムの各メモリモジュール 103 (a) ~ (d) へのデータ配線は 8 ビットであり、メモリシステム全体として 32 ビットのデータ配線となっている点が図 6 と異なっている。

【0105】

前述したように、メモリモジュール 103 a 及び 103 b の DRAM 110 は、8 つのランクに区分されており、このことを明確化するために、図 8 では、ランク 1 ~ 8 の DRAM 110 をそれぞれ参照符号 110 r 1 ~ 110 r 8 で示している。

【0106】

この構成において、アドレス信号がコマンド・アドレス信号 (Cmd/Addr) としてメモリコントローラ 101 から与えられると、メモリモジュール 103 a ~ 103 d における同一ランク、例えば、ランク 1 の 2 つの DRAM 110 r

1が活性化され、各バッファ105(1)～105(4)との間で、16ビット幅のデータの送受できる状態となり4つのバッファ105(1)～105(4)全体では、合計64ビット幅のデータが送受可能な状態となる。各メモリモジュール103a～103dのデータ線111は、図示されているように、8ビット幅であり、メモリモジュール103a～103dの各データ線111上においては、多重化されたデータがメモリコントローラ101と各バッファ105(1)～(4)との間で送受される。

【0107】

図9を参照すると、本発明の第3の実施形態に係るメモリシステムの更に他の変形例が示され、2枚のメモリモジュール103a、103bを一組とし、2ランクのメモリシステムとしている。2枚のメモリモジュール103a、103bの表側に配置されたDRAM16個でランク1、裏側のDRAM16個でランク2を構成し、各DRAM110として×4構成のDRAMを使用した点で、図6のメモリシステムと異なっている。更に、図9では、各メモリモジュール103a、103bの表面に搭載された8つのDRAM110をランク1とし、裏面に搭載された8つのDRAM110をランク2としている。この関係で、図9では、ランク1に属し、メモリモジュール103a及び103bに配置された16個のDRAM110を参照符号110r1であらわし、他方、ランク2に属する16個のDRAM110を参照符号110r2によってあらわしている。また、各メモリモジュール103a、103bの表裏に配置されたランク1及びランク2のDRAM110r1と110r2は、4ビット幅の内部データ配線により共通に接続されている。

【0108】

一方、各メモリモジュール103a、103bのバッファ105は、16ビット幅のデータ線111によってメモリコントローラ101と接続され、各データ線111上には、多重化されたデータが伝送されることは他の例と同様である。この構成によっても、図6に示されたメモリシステムと同様に、メモリモジュール103a、103bの8個のDRAM110r1、110r2とバッファ105の間で、それぞれ32ビット幅のデータが伝送され、更に、各バッファ105とメモリコントローラ101との間で、16ビット幅のデータが多重化されて伝送さ

れる。

【0109】

図10を参照すると、本発明の第3の実施形態に係るメモリシステムの更に他の変形例として、パリティビット付の36ビットのバス幅を有している例が示されている。

【0110】

この例では、各メモリモジュール103a、103bの表裏に、それぞれ、9個の×4構成のDRAM110が搭載されている点、及び、各メモリモジュール103a、103bのバッファ105とメモリコントローラ101との間のデータ線111が18ビット幅である点で、図9に示されたメモリシステムと異なっている。具体的に言えば、図10に示された各メモリモジュール103a、103bには、バッファ105の左側の表裏に、それぞれ4個のDRAM110、バッファ105の右側の表裏に、それぞれ5個のDRAM110が配置されている。ここでは、各メモリモジュール103a、103bの最右端表裏に配置されたDRAM110はパリティ用DRAMとして使用されるものとする。

【0111】

この例も、図9と同様に、2枚のメモリモジュール103a、103bを一組とした2ランクのメモリシステムである。また、2枚のメモリモジュール103a、103bの表側に配置された18個のDRAMはランク1を構成し、裏側に配置された18個のDRAM110はランク2を構成している。この関係で、ランク1及び2のDRAMは、参照符号110r1及び110r2であらわされている。尚、表裏に配置されたランク1及び2のDRAM110r1、110r2の内部データ配線は、共通であることも図9と同様である。

【0112】

更に、メモリモジュール103a及び103bのバッファ105は、それぞれ、18ビット幅に相当するデータ配線111によってメモリコントローラ101と接続されると共に、それぞれ、図示しないメモリモジュールのバッファにカスケードに接続され、デジチェーンを構成している。

【0113】

この構成では、メモリコントローラ 1 0 1 とメモリモジュール 1 0 3 a 又は 1 0 3 b との間で、パリティ付のデータが多重化されて送受される。

【0 1 1 4】

上記した第 1 及び第 2 の実施形態と第 3 の実施形態とを比較すると、第 1 及び第 2 の実施形態では、カスケード接続された第 2 のメモリモジュール上における DRAM と、メモリコントローラとの間におけるデータの送受信は、2 つのバッファチップを介して行われるため、バッファチップでの受送信処理に必要なロジック遅延が第 3 の実施形態の 2 倍となる。他方、第 3 の実施形態では、経由するバッファの数が少なくなるメリットがあるが、メモリモジュール上の DRAM のランク数を増加させる必要がある。

【0 1 1 5】

図 1 1 を参照して、前述したメモリシステムにおけるメモリコントローラ (M C) 1 0 1 と、各メモリモジュール 1 0 3 との間の信号伝送方式について、より詳細に説明する。図示された例では、説明を簡略化するために、メモリモジュール 1 0 3 a とメモリモジュール 1 0 3 b におけるバッファ (b u f f e r) 1 0 5 a と 1 0 5 b とがカスケードに接続されているものとする。このシステムにおいて、メモリコントローラ 1 0 1 は、コマンド・アドレス信号 (C A) をクロック信号に同期して送信し、これらコマンド・アドレス (C A) 信号及びクロック信号は、メモリモジュール 1 0 3 a 及び 1 0 3 b のバッファ 1 0 5 a 及び 1 0 5 b で、順次、受信される。

【0 1 1 6】

他方、データ (DQ) 信号は、双方向の複数組のクロック信号 (相補) C L K、C L K B に同期して、各バッファ 1 0 5 a、1 0 5 b、及び、メモリコントローラ 1 0 1 で送受信される。即ち、メモリコントローラ 1 0 1 からメモリモジュール 1 0 3 a、1 0 3 b の DRAM にデータを書き込む場合、データは、メモリコントローラ 1 0 1 から出力されるクロックに同期してバッファ 1 0 5 a、1 0 5 b に送信され、メモリモジュール 1 0 3 a、1 0 3 b の DRAM からデータを読み出す場合、各メモリモジュール 1 0 3 a、1 0 3 b のバッファ 1 0 5 a、1 0 5 b は、DRAM の内部クロックからクロックを生成し、当該クロックに同期して、D R A M

から読出データをメモリコントローラ 101 に出力する。尚、コマンド・アドレス信号及びデータ信号の packets 送信時には、これらコマンド・アドレス信号及びデータ信号と同時に、モジュール識別信号 MID がメモリコントローラ 101 から送られ、この信号 MID により、バッファ 105 a、105 b は、信号の有効先頭データ及び受送信先のメモリモジュールが識別される。

【0117】

図 12 を参照すると、図 11 に示されたシステムにおけるタイミング関係が示されている。図示された例では、メモリコントローラ (MC) 101 から 1.33 GHz の周波数 (即ち、0.75 ns の周期) を有するクロックが生成され (図 12、第 1 ライン参照)、当該クロックの前縁及び後縁に同期して、メモリコントローラ (MC) 101 からバッファに対して、データが送信されている (第 3 ライン参照)。この結果、データは、2.66 Gbps の伝送速度でメモリコントローラ (MC) 101 からバッファ 105 a、105 b に送出される。

【0118】

他方、各バッファ 105 a、105 b から DRAM に対しては、666 MHz の周波数 (1.5 ns の周期) を有する内部クロックが生成され (第 2 ライン参照)、バッファの内部レイテンシー時間経過後、当該内部クロックの前縁及び後縁に同期して、バッファに受信されたデータは、DRAM に 1.33 Gbps の伝送速度で書き込まれる (第 4 ライン参照)。

【0119】

次に、コマンド・アドレス信号 (CA) は、1.33 GHz の周波数を有するクロックの前縁及び後縁に同期して、メモリコントローラ (MC) 101 からバッファ 105 a、105 b に出力され (第 5 ライン参照)、当該コマンド・アドレス信号 (CA) は、バッファ内部のレイテンシー時間経過後、内部クロックの前縁に同期して、バッファから DRAM に出力される (第 6 ライン参照)。このため、コマンド・アドレス信号 (CA) は、メモリコントローラ (MC) からバッファ 105 a、105 b に対して、2.66 Gbps の伝送速度で出力され、バッファから DRAM に対して、666 Mbps の伝送速度で出力される。また、モジュール識別信号 MID は、メモリコントローラ (MC) からバッファに対

して、1.33 GHz のクロックの前縁及び後縁に同期して、2.66 Gbps の伝送速度でメモリコントローラ (MC) から出力されている。

【0120】

このことから明らかな通り、メモリコントローラ (MC) 101 とバッファ 105a、105b との間では、データは、DRAM のデータ周波数の 2 倍、コマンド・アドレス信号 (CA) は 4 倍の周波数でメモリコントローラ (MC) とバッファとの間を伝達されている。したがって、各メモリモジュール上のバッファでは、データ及びコマンド・アドレス信号を分周器等により、それぞれ、1/2 及び 1/4 の周波数に落とされて DRAM に伝達される。

【0121】

ここでは、メモリシステムとしては 8 ビット連続データ (バースト) を処理するものとする。即ち、メモリコントローラ (MC) 101 からバッファにたいしては、32 ビットのデータバスのそれぞれに 16 ビットの連続データを 2.66 Gbps の伝送速度で出力し、バッファにおいて 16 ビットの連続データを交互に DRAM の 2 つの DQ ピンに、伝送速度 1.33 Gbps の 8 ビット連続データとして出力するものとする。

【0122】

また、コマンド・アドレス信号は MC からバッファに対して 2.66 Gbps の伝送速度で出力され、一つのコマンド・アドレス信号線の例えば 4 ビットのデータはバッファにおいてそれぞれのビットが 4 つのコマンド・アドレス信号線へ分配され 666 Mbps の伝送速度で DRAM に供給される。

【0123】

次に、前述した動作をデータの書込及び読出動作、並びに、コマンド・アドレス信号の転送動作に分けて、更に、詳細に説明する。図 13 には、メモリコントローラ (MC) から DRAM に対してデータの書込動作が示されている。上記した通り、メモリコントローラ (MC) 101 は、1.33 GHz のクロックをバッファ 105 に対して出力している (第 1 ライン)。このクロックに同期して、モジュール識別信号 MID 及びデータ DQ0m がメモリモジュール 101 から出力されている (第 3 及び第 4 ライン参照)。

【0124】

ここで、モジュール識別信号MIDには、有効データ先頭識別信号と行先アドレスとが含まれており、データDQ0mには、DRAMの2つのDQピンに分配されるべき2系列のデータ列DQ0、DQ1とが含まれている。ここで、データ列DQ0は、連続した8ビットデータDQ00、10、20、30...70となり、他方、データ列DQ1は、連続した8ビットデータDQ01、11、21、31...71となる。図13の第4ラインに示されているように、データDQ0mには、データ列DQ0とDQ1の単位データが交互に、第1ラインに示されたクロックの前縁及び後縁に同期して、配置されており、このデータDQ0mはメモリコントローラ(MC)101からバッファ105aへクロックに同期して出力される。ここで、メモリコントローラ(MC)からバッファへのデータ配線が合計32本の場合は、各データ配線からDRAMの2つのDQ端子へデータが供給されるため、システム全体としては64ビット幅で8ビット連続データ进行处理することになる。モジュール識別データMIDは第1段目のバッファ105aで当該バッファ105aの属するメモリモジュール103a宛でないことが識別されると、次段のメモリモジュール103bに、データDQ0mと共に転送される(第3及び第4ライン参照)。

【0125】

次に、メモリモジュール105a内のバッファ105aでは、第2ラインに示すように、1.33GHzのクロックを2分周した666MHzの内部クロックを発生し、DRAMに出力する。前述したモジュール識別信号MIDによって、メモリモジュール103aが指定されている場合、図示されたデータDQ0mは、バッファレイテンシー経過後、内部クロックに同期して、所定のDRAMに書き込まれる。図示された例では、内部クロックの前縁及び後縁に同期して、データ列DQ0及びDQ1が第5及び第6ラインに示すように、バッファ105aから2つのDRAMにそれぞれ出力される。

【0126】

次に、図14を参照して、DRAMからデータDQ0mを読み出す場合の動作を説明する。この場合、メモリモジュール103aのDRAMからバッファ10

5 aを通して、データDQ0mがメモリコントローラ(MC)101に読み出されるものとする。まず、バッファ105 aは、DRAMに対して666MHzの内部クロック(図14の第2ライン)を出力しており、他方、メモリコントローラ(MC)101に対して、1.33GHzの周波数を有するクロック(第1ライン参照)を出力している。この状態で、DRAMの2つのDQ端子から、データ列DQ0及びDQ1が読み出されるものとする。ここで、データ列DQ0及びDQ1は、それぞれ、単位データD00、10、20...70及び単位データD01、11、21...71を含んでいるものとする(第5及び第6ライン参照)。これら単位データは、内部クロックに同期して、2つのDQ端子からバッファ105 aに送出される。バッファ105 aでは、当該バッファ105 aの属するメモリモジュール103 aをあらわすモジュール識別信号MIDを有効データ先頭識別信号として、メモリコントローラ(MC)に出力する(第3ライン参照)。続いて、2つのDQ端子からのデータ列DQ0、DQ1の連続した8ビット単位データを交互に組み合わせて多重化し、バッファ105 aとメモリコントローラ101間のクロックに同期して、メモリコントローラ101に16ビットの読出データDQ0mとして出力する。また、バッファ105 bのように、バッファ105 aの後段にあるバッファの場合、データDQ0mは、前段のバッファ105 aを通してメモリコントローラ(MC)に与えられる。

【0127】

このように、メモリコントローラ(MC)101と各バッファ105 a、105 bとの間におけるデータの伝送速度及びクロック周波数は、各バッファ105 a、105 bとDRAM間のデータ伝送速度及びクロック周波数よりも速いことが分かる。この構成により、メモリコントローラ(MC)101とバッファ間の配線数を少なくして、各DRAMの動作速度に応じた伝送速度で、データの書込、読出を行うことができる。

【0128】

更に、図15を参照すると、メモリコントローラ(MC)101からメモリモジュールに対してコマンド・アドレス信号が与えられる場合の動作が示されている。前述したように、メモリコントローラ(MC)101からバッファ105 a

、105bに対して1.33GHzの周波数を有するクロックが供給されており（第1ライン参照）、各バッファ105とDRAM110との間では、666MHzの内部クロックが使用されているものとする（第2ライン参照）。この場合、モジュール識別信号MIDは、コマンド・アドレス信号CA0mの先頭識別信号及び行先アドレス信号と含んであり、これらコマンド・アドレス信号CA0mの先頭識別信号及び行先アドレス信号は、1.33GHzのクロックの前縁及び後縁に同期して、メモリコントローラ（MC）101から出力され（第3ライン参照）、このMIDは、前段のメモリモジュール103aのバッファ105aと次段のメモリモジュール103bのバッファ105bにも転送されている。

【0129】

モジュール識別信号MIDと同時に、この例では、コマンド・アドレス信号CA0mとして、アドレス信号A0～A3が1.33GHzのクロックの前縁及び後縁に同期して多重化された形で、メモリコントローラ（MC）101からバッファ105aに出力され、続いて、バッファ105bに転送される（第4ライン参照）。上記したモジュール識別信号MIDによって指定されたメモリモジュール103のバッファ105では、内部クロックに同期して、指定されたメモリモジュール103に搭載されたDRAMにアドレス信号A0～A3を与えられる。図15においては、コマンド・アドレス信号のうち1本のみを示したが、バッファに与えられた複数のコマンド・アドレス信号がそれぞれ4つのコマンド・アドレス信号、例えば、RAS、CAS、WE、バンクアドレス、残りのアドレス信号等として変換される。これによって、指定されたメモリモジュール内の動作モードやDRAM及びDRAM内のメモリセルが選択されることになる。

【0130】

上記した説明では、主に、メモリコントローラ（MC）101とメモリモジュール103間の信号伝送について説明したが、各メモリモジュール103と当該メモリモジュール103内のDRAMとの間においても信号伝送が高速で行えることが望ましい。

【0131】

このため、本発明は、バッファ105とDRAMとの間で、データを高速で伝

送する方法を提案する。尚、以下の説明では、前述した本発明の第1乃至第3の実施形態に係るメモリシステムに、本発明に係るデータ伝送方法を適用した場合を説明するが、必ずしも、前述したメモリシステムに限定されない。

【0132】

図16を参照すると、前述したメモリシステムのメモリモジュール103内のDRAM110及びバッファ105が示されている。

【0133】

図16において、DRAM105は、データストロープ信号DQS（及び相補のDQS*）（以下では、DQSについてのみ説明する）により、バッファ105とDRAM110との間で、データの受送信を行なっている。この場合、データストロープ信号DQSは、クロックに同期して生成されると共に、データDQを双方向に伝送する際に、データDQの送信方向に伝送される。例えば、データDQをDRAM110からバッファ105の方向に伝送する場合、データストロープ信号DQSも同様にDRAM110からバッファ105に出力される。尚、バッファ105からDRAM110でデータを伝送する場合も同様である。

【0134】

次に、図17（a）を参照すると、図16においてバッファ105からDRAM110にデータを書き込む場合の動作が示されており、図17（b）には、DRAM110からデータを読み出す場合の動作が示されている。先ず、図17（a）に示すように、データ書込の場合、バッファからDRAMへ書込コマンド（WRT）及びアドレス（Add）が与えられた後、クロックの前縁及び後縁に同期して、データストロープ信号DQSと共に、データの書込が行われ、この書込動作はストロープ信号DQSが与えられている間、継続する。このため、データは、コマンド・アドレス信号の生成後、所定のレイテンシー時間経過（図ではWL=4）してから、書き込まれることになる。

【0135】

また、図17（b）に示すように、データの読出の場合にも、読出コマンド（RED）及びアドレス（Add）がバッファからDRAMへ与えられ、クロックの前縁及び後縁に同期してデータストロープ信号DQSと共にデータの読出が行

われる。

【0136】

このように、データストローブ信号DQSを使用する場合、データはデータストローブ信号DQSにタイミングが整合されて送信され、データストローブ信号DQSにより受信されることになる。このように、データストローブ信号を用いた送受信方式では、受信側デバイス内部で、データストローブ信号DQSとデータDQのロジック、レイアウト遅延をあわせる必要がある。しかしながら、温度変動、電圧変動により遅延が変化すると、デバイスの受信可能な信号セットアップ、ホールド時間が悪化する。より高周波の動作のためにはより短いセットアップ、ホールド時間が要求されるため、データストローブ信号を双方向に伝送する方式では、高速化に限界がある。

【0137】

DRAM110とバッファ105間のデータ送受信をより高速に行うために、本発明では、前述したデータストローブ信号DQSにかわり、常時データ信号のタイミングで双方向に伝送され、DRAM110及びバッファ105でそれぞれ送受信される信号（ここでは、データフェーズ信号DPSと呼ぶ）を使用することを提案する。このように、常時、双方向に送受されるデータフェーズ信号DPSを用いることにより、各デバイス内では、DLLを使用して送受信クロックを再生することができる。更に、DLLを使用した場合、まず、レプリカ遅延により温度変動、電圧変動をキャンセルすることができ、また、クロックを最適タイミングに設定できるので遅延ロジックを介在させないでデータ受信が可能となる。したがって、より短いセットアップ、ホールド時間にすることができる。

【0138】

図18を参照すると、DRAM110とバッファ105間で、上記したデータフェーズ信号DPSを使用してデータ伝送を行うデータ伝送システムの概略構成が示されている。図16と比較しても明らかな通り、図18に示されたデータ伝送システムでは、データストローブ信号DQSの代わりに、データフェーズ信号DPSがバッファ105とDRAM110との間で、双方向に送受され、当該データフェーズ信号DPSは、バッファ105又はDRAM110から送信される

データDQのタイミング信号として、他方のデバイスに供給されている。具体的には、バッファ105からデータDQをDRAM110に書き込む場合、所定の書込タイミングでライトデータフェーズ信号DPSが、書込データDQと共にバッファ105からDRAM110に供給され、他方、DRAM110からバッファ105にデータDQを読み出す場合、上記書込タイミングとは異なるタイミングで生成されるリードデータフェーズ信号DPSが、読出データDQと共にDRAM110からバッファ105に供給される。

【0139】

DRAM110及びバッファ105では、それぞれ書込タイミング及び読出タイミングを識別することにより、ライトデータフェーズ信号及びリードデータフェーズ信号(DPS)を抽出し、抽出されたライトデータフェーズ信号及びリードデータフェーズ信号(DPS)により、データDQの書込或いは読出を行う。このことから明らかな通り、バッファ105及びDRAM110は、前述したDLLのほかに、ライトデータフェーズ信号及びリードデータフェーズ信号(DPS)のタイミングを識別する回路を備えている。

【0140】

図19を参照すると、1ランク構成におけるバッファ105と1ランク構成のDRAM110との間で、データフェーズ信号DPSを送受する場合に使用されるバッファ105及びDRAM110のドライバ回路及びレシーバ回路(即ち、送受信回路)が示されている。図示されているように、バッファ105及びDRAM110のドライバはそれぞれオープンドレイン構成のNチャネルMOSトランジスタを備えている。DRAM110のNチャネルMOSトランジスタのドレインには、可変抵抗が終端抵抗として接続され、他方、バッファ105のNチャネルMOSトランジスタのドレインには、固定抵抗が終端抵抗として接続されている。このように、可変抵抗を接続した場合、DRAM側のランク構成により、抵抗値を調整できる。尚、終端抵抗は、DRAM110及びバッファ105のデバイス内部に設けられているが、デバイス外部に設けられても良いことは言うまでもない。また、DRAM110及びバッファ105における両トランジスタのドレインに接続されたデータフェーズ信号DPS伝送用信号線は、それぞれ、増

幅器を介して、DRAM110及びバッファ105の内部回路に接続されている。

【0141】

図19に示された構成において、バッファ105のNチャネルMOSトランジスタのゲートには、所定のタイミング及び周期でタイミング信号が与えられ、バッファ105のNチャネルMOSトランジスタはこのタイミング信号によりオンオフされて、書込データフェーズ信号DPSが、バッファ105からDRAM110に供給される一方、バッファ105内部にも、供給される。他方、DRAM110のNチャネルMOSトランジスタのゲートには、バッファ105のタイミング信号とは異なる位相を有し、同一の周期で生成されるタイミング信号が与えられ、DRAM110のNチャネルMOSトランジスタは、当該タイミング信号によりオンオフされる結果、読出データフェーズ信号DPSが、DRAM110からバッファ105に供給されると共に、DRAM110の内部にも供給される。図示されているように、DRAM110及びバッファ105内のドライバーはオープンドレインとなっているのでバスは、いわばワイアードOR構成となっており、且つ、DRAM110及びバッファ105からのデータフェーズ信号DPSは異なるタイミングで出力されるから、両信号が同一の信号線上に出力されても互いに衝突することはない。

【0142】

図20を参照すると、バッファ105に対して、2ランク構成で2個のDRAM110が接続された場合におけるデータフェーズ信号DPS送受用ドライバ回路が示されている。図からも明らかな通り、単一のデータフェーズ信号DPS信号線に、2つのDRAM110のドライバが接続されている点で、図19とは相違しているが、各DRAM110内の構成は、同じである。尚、DRAM110内のNチャネルMOSトランジスタのドレインには、可変抵抗が接続されており、この例では、2ランクのDRAM110に適した抵抗値に調整されている。

【0143】

図21(a)及び(b)を図18と共に参照して、DRAM110に対して、データDQを書き込む場合の動作(即ち、ライト動作)、及び、DRAM110

からデータDQを読み出す場合の動作（即ち、リード動作）をそれぞれ説明する。図21（a）に示されているように、ライト動作の際、バッファ105は、書込（ライト）コマンド（WRT）、アドレス信号（Add）をクロックに同期してDRAM110に供給する。このとき、データフェーズ信号DPSとして、書込（ライト）データフェーズ信号WDPSがバッファ105からDRAM110に送信されている（第4ライン参照）。図示された書込データフェーズ信号WDPSは、クロックの1/4の周期を有するパルス列における各パルスの前縁（立ち上り）タイミングによって特徴付けられている。

【0144】

一方、当該書込データフェーズ信号WDPSと衝突しないタイミング（ここでは、2クロック分ずれたタイミング）で、同一の信号線上に、読出（リード）データフェーズ信号RDPSがDRAM110からバッファ105に多重化された形で送信されている。図21（b）第4ラインに示されているように、読出データフェーズ信号RDPSは、書込データフェーズ信号WDPSと同様にクロックの1/4の周期を有するパルス列の前縁（立ち上り）タイミングによって特徴付けられており、書込データフェーズ信号WDPSの中間に配置される。このように、書込データフェーズ信号WDPSと読出データフェーズ信号RDPSとのタイミングをずらすことにより、単一の信号線上で、両者が衝突するのを防止している。尚、図示された例では、書込データフェーズ信号WDPSと読出データフェーズ信号RDPSとのタイミングを2クロック分だけずらしているが、両者が衝突しないタイミングであれば、これに限定されないことは言うまでもない。

【0145】

図21（a）を更に参照すると、バッファ105からのライト動作では、バッファ105でクロックと書込データフェーズ信号（WDPS）の位相は一致しているが、DRAMから送信される読出データフェーズ信号（RDPS）の位相は一致していない。データDQはクロックの立ち上がり（前縁）、立下り（後縁）のエッジが信号有効の中心になるように、書込レイテンシー時間経過後（WL＝4）、書き込まれる。

【0146】

図 21 (b) に示す読出 (リード) 動作時、DRAM110 は、読出データフェーズ信号 (RDPS) から当該 DRAM110 におけるクロックを再生する。再生されたクロックにタイミングを合わせて、データ DQ が DRAM110 からバッファ 105 に送信される。図示された例では、データのタイミングをクロックエッジに一致させているが、有効幅の中心をクロックエッジに揃えても良い。

【0147】

前述した例では、DRAM110 とバッファ 105 は、双方向に同じ信号線上に、データフェーズ信号 DPS を通常動作時、即ち、パワーセーブモード以外の動作時に、常時、送信している。また、DRAM110 及びバッファ 105 のドライバは、2 クロックだけ異なるタイミングで動作すると共に、図 19 及び図 20 に示されているように、オープンドレイン構成を採用しているため、バスは、いわばワイアード OR 構成となっておりバスファイトすることはない。

【0148】

図 21 (a) 及び (b) では、書込 (ライト) 時、及び、読出 (リード) 時におけるクロックと、書込、読出データフェーズ信号 WDPS、RDPS とのタイミング関係、及び、データと、クロック及びデータフェーズ信号 (WDPS、RDPS) とのタイミング関係を説明したが、これらデータフェーズ信号 (WDPS、RDPS) を受けた DRAM110 及びバッファ 105 では、データフェーズ信号 (WDPS、RDPS) から内部でデータ送受信クロックを再生する必要がある。

【0149】

次に、図 22 を参照して、メモリシステム動作開始時に、本発明に係るデータフェーズ信号 DPS (ライト又はリードデータフェーズ信号 WDPS、RDPS) から、DRAM110、及び、バッファ 105 が内部でデータ送受信クロックを再生する手順を説明する。

【0150】

まず、バッファ 105 は、DRAM110 に対してクロックを送信している (第 1 ライン参照)。この例では、666 MHz の周波数を有するクロックがバッファ 105 で発生されている。この状態で、バッファ 105 は、書込データフェ

ーズ信号WDPS（第2ライン参照）をクロックに同期して送信する。図示された書込データフェーズ信号WDPSは、クロックを4分周することによって生成されており、結果的に、書込データフェーズ信号WDPSは $(666/4)$ MHzの周波数（即ち、クロックの4分周）を有しており、当該書込データフェーズ信号WDPSは、時間的に遅延して、DRAM110に入力される（第3ライン参照）。

【0151】

DRAM110は、その内部に設けられたDLLにより、書込データフェーズ信号WDPSからデータ（DQ）受信用タイミングを定める内部クロックを再生クロックとして生成する（第4ライン参照）。図示された内部クロックは666 MHzの周波数を有している。

【0152】

更に、図22に示されているように、DRAM110は、データ（DQ）受信用クロックを内部クロックとして再生後、書込データフェーズ信号WDPSと内部クロックとから、内部クロックを2クロックだけずらすことにより、実線で示されている読出データフェーズ信号RDPSを生成し、当該読出データフェーズ信号RDPSをバッファ105に送信する（第5ライン参照）。図22に示されているように、読出データフェーズ信号RDPSは、内部クロックの4分周期を有し、破線で示された書込データフェーズ信号WDPSと衝突しないように生成されている。

【0153】

この読出データバッファ信号RDPSは、時間的に遅延して、バッファ105に受信され（第6ライン参照）、バッファ105は、受信した読出データバッファ信号RDPSから、DRAM110からのデータをバッファ105内で受信する666 MHzのデータ（DQ）受信クロックを再生する（第7ライン参照）。尚、図22に示されたタイミングチャートは、データフェーズ信号DPSとクロックとのタイミング関係を概念的に説明しており、実際には、後述するように、データ受信用、データ出力用DRAM内部クロックは、それぞれ、最適な内部タイミングで生成される。また、図示されたクロックは、データフェーズ信号DP

Sの4分周期でなくとも良く、また、多相のクロックであってもよい。

【0154】

いずれにしても、DRAM110及びバッファ105内における受送信用クロックをデータフェーズ信号WDPS、RDPSから再生することが、図示された伝送方式の特徴である。

【0155】

図23を参照して、前述した動作を行うDRAM110の具体的な構成を説明する。図では、バッファ105との間で、データフェーズ信号DPS及びデータ(DQ)を送受するインタフェースのみが示されており、データ(DQ)を書込及び読出すメモリセル領域は図23では省略されている。尚、DRAM110のメモリセル領域は、データ(DQ)出力ドライバー201及びデータレシーバ202に接続され、データ(DQ)の読出し、書き込みが行われる。更に、図示されたDRAM110は、DLLによって構成されたクロック再生位相調整及び通倍回路205を備えており、当該DLL205には、書込データフェーズ信号WDPSが入力される一方、当該DLL205からの読出データフェーズ信号RDPSがDPS出力ドライバー206を介して出力される。このことから明らかな通り、図示されたDLL205は、複数の遅延セルを含む遅延線、位相検出器、積分器、及び、周波数通倍器をも備えているものとする。

【0156】

更に、具体的に説明すると、DLL205には、書込及び読出データフェーズ信号WDPS及びRDPSを含むデータフェーズ信号DPSが与えられており、このデータフェーズ信号は受信位相比較回路206及び出力位相比較回路209にも与えられている。DLL205は、書込データフェーズ信号WDPSからデータ受信用DRAM内部クロックを再生すると共に、データ受信用フィードバッククロックを生成する。データ受信用DRAM内部クロックはデータレシーバ202に与えられ、データDQを書き込むために使用される一方、データ受信用フィードバッククロックは受信用レプリカ208に与えられ、受信用レプリカ208で4分周することにより、受信した書込データフェーズ信号WDPSのレプリカ信号が受信位相比較回路206に出力される。受信位相比較回路206は、受

信用レプリカ 208 からのレプリカ信号により、読出データフェーズ信号 RDPS をサプレスして、書込データフェーズ信号 WDPS のみについて、DPS 出力用 DRAM 内部クロックとの間の受信位相調整信号を DLL 205 に出力する。

【0157】

また、図示された DLL 205 は、更に、データ受信用 DRAM 内部クロックを 2 クロックだけ遅延させることにより、読出データフェーズ信号 RDPS 出力用 DRAM 内部クロック、データ出力用フィードバッククロック、及び、データ出力用 DRAM 内部クロックを出力する。このうち、DPS 出力用 DRAM 内部クロックは DPS 出力ドライバー 207 及び出力位相比較回路 209 に与えられ、データ出力用 DRAM 内部クロックはデータ出力用ドライバ 201 に供給される。更に、データ出力用フィードバッククロックは出力レプリカ 210 に与えられ、出力レプリカ 210 は、読出データフェーズ信号 RDPS のレプリカ信号を出力位相比較回路 209 に出力する。DPS カドライバー 207 は、DPS 出力用 DRAM 内部クロックに応答して、読出データフェーズ信号 RDPS をバッファ 105 に送出する。

【0158】

出力位相比較回路 209 では、出力レプリカ 210 から与えられる読出レプリカ信号によって、書込データフェーズ信号 WDPS のタイミングをサプレスした状態で、読出データフェーズ信号 RDPS と DLL 205 の出力とを位相比較して、比較結果に応じた出力位相調整信号を DLL 205 に出力する。この結果、図示された DRAM 110 からは、バッファ 105 に対して読出データフェーズ信号 RDPS が送信される。

【0159】

このように、図示された DRAM 110 では、DRAM 110 が読出データフェーズ信号 RDPS を送信するときに、位相比較を行わないように、DPS 出力用 DRAM 内部クロックを出力すると共に、書込データフェーズ信号 WDPS を受信するときに、DPS 出力用 DRAM 内部クロックを受信位相比較回路 206 に入力させて比較値の DLL 205 へのフィードバックを禁止する動作が行われる。

【0160】

図24を参照して、図23に示されたDRAM110との間で、データの送受を行うバッファ105の具体的な構成を説明する。バッファ105は、図23に示されたDRAM110と同様に、データをDRAM110に出力するためのDQ出力ドライバー301及びDRAM110からの読出データを受信するデータレシーバ302を備えると共に、データフェーズ信号DPS送受用のクロック再生位相調整及び逡倍回路を構成するDLL305とを有している。更に、図示されたバッファ105内では、DPS出力用バッファ内部クロックが図示しないクロック発生器によって発生されており、当該DPS出力用バッファ内部クロックは、DPS出力ドライバー307及び受信位相比較回路306に供給されている。DPS出力ドライバー307は、与えられるクロックを4分周して、書込データフェーズ信号DPS（即ち、WDPS）をDRAM110に出力すると共に、当該書込データフェーズ信号WDPSはバッファ105内のDLL305及び受信位相比較回路306にも与えられている。

【0161】

この状態で、DRAM110から、読出データフェーズ信号RDPSを受けると、バッファ105のDLL305は、データ受信用バッファ内部クロック及びデータ受信用フィードバッククロックとを生成し、データレシーバ302及び受信用レプリカ308にそれぞれ出力する。受信用レプリカ308では、データ受信用フィードバッククロックから読出データフィードバック信号RDPSのレプリカ信号を受信位相比較回路306に出力する。この結果、受信位相比較回路306は、バッファ105から出力される書込データフェーズ信号WDPSを無視して、読出データフェーズ信号RDPSの位相について受信位相調整信号をDLL305に出力する。

【0162】

図示されたバッファ105では、DRAM110からの読出データフェーズ信号RDPSからクロックを再生するように、DPS出力用バッファ内部クロック信号を受信位相比較回路306に入力させて比較値のDLLへのフィードバックを禁止させている。

【0163】

図25には、図23に示されたDRAM110における動作開始時のタイミングチャートが示されており、図26には、DRAM110の通常動作時のタイミングチャートが示されている。図25に示す動作開始時には、DRAM110からは、読出データフェーズ信号RDPSはバッファ105に出力されない。図25では、図22と同様に、666MHzのDPS出力用バッファ内部クロックがバッファ105で生成され、当該クロックはDPS出力ドライバー307（図24）によって4分周されて書込データフェーズ信号WDPSがクロックに同期して出力される（図25、第2ライン）。この書込データフェーズ信号WDPSは、時間的に遅延してDRAM110に入力され（第3ライン）、更に、DRAM110内では、DLL205によって、受信されたWDPSに対して位相の進んだデータ受信用フィードバッククロックが生成され（第4ライン）、受信用レプリカ208に出力され、当該受信レプリカ208から、WDPSのレプリカ信号が受信位相比較回路206に出力される（第5ライン参照）。

【0164】

DRAM110のDLL205では、受信位相比較回路206からの受信位相調整信号及び受信したWDPSにしたがって、データ受信用DRAM内部クロックをデータレシーバ202に出力する（第6ライン参照）。更に、DRAM110のDLL205は内部クロックに対して進み位相を有するデータ出力用フィードバッククロックを出力レプリカ210に出力する（第7ライン参照）一方、当該データ出力用フィードバッククロックに同期して、データ出力用DRAM内部クロックをDQ出力ドライバー201に供給する（第9ライン参照）。また、図25の第8ラインに示されているように、出力レプリカ210からは、データ出力用フィードバック信号がレプリカ信号として、出力位相比較回路209に供給され、このレプリカ信号の存在のもとに、位相比較が行われ、第10ラインに示されるようなDPS出力用DRAM内部クロックがDPS出力ドライバー207に出力される。

【0165】

次に、図26を参照して、図23に示されたDRAM110の通常動作を説明

する。この場合、図 25 の第 2 ライン及び第 3 ラインに示すように、バッファ 110 から書込データフェーズ信号 WDP S が出力され、他方、DRAM 110 からは、読出データフェーズ信号 RDP S (太線参照) が出力される。この場合、バッファ 105 では、DPS 出力用クロックが発生され、これに同期した書込データフェーズ信号 WDP S が DRAM 110 に送信され、DRAM 110 において、データ受信用フィードバッククロック、データ受信用フィードバッククロックのレプリカ信号、データ受信用 DRAM 内部クロック、データ出力用フィードバッククロック、及び、データ出力用 DRAM 内部クロックが発生されることは、図 25 と同様である (第 4、5、6、7、8 ライン参照)。更に、第 9 ラインに示すように、データ出力用 DRAM 内部クロックが発生されると、DLL 205 では、当該内部クロックを 2 クロック遅延させることにより、DPS 出力用 DRAM 内部クロックが発生し、当該クロックに応じて、DPS 出力ドライバー 207 から、読出データフェーズ信号 RDP S を第 10 ラインの太線で示すように発生し、当該 RDP S は、第 2 ラインに示すように、バッファ 105 で受信される。

【0166】

図 27 には、上記した RDP S を受信した場合におけるバッファ 105 (図 24) のタイミングチャートが示されており、DRAM 110 から送信されるデータは本実施形態では読出データフェーズ信号 RDP S のエッジに位相を合わせているものとし、この関係で、バッファ 105 では、受信用バッファ内部クロックの位相をデータ受信用フィードバッククロックから得られる受信用レプリカ 308 からのレプリカ信号の位相に対して、1/4 だけシフトしている。

【0167】

以上の実施例ではデータフェーズシグナルから内部クロック信号を再生する場合、データフェーズシグナルからダイレクトにクロック再生する方式を示した。

【0168】

図 28 及び図 29 を参照すると、図 23 及び図 24 にそれぞれ示された DRAM 110 及びバッファ 105 の変形例が示されている。図 28 に示された DRAM 110 では、クロック CLK が外部から DLL 205 に与えられており、データフェーズ信号 DPS が DLL 205 に与えられていない点で、図 23 に示され

たDRAM110と相違している。この関係で、図示されたDLL205は、クロック再生位相調整回路として動作するだけでなく、クロックを分周する分周回路としても動作する。この構成では、クロック再生の際、外部クロック信号CLKをクロックソースとしてDLL205に供給し、当該クロックの位相のみをDLL205で調整していることが分かる。このように、外部クロックCLKをDLL205に与え、当該DLL205によって、クロックを位相調整することによっても、受信した書込データフェーズ信号WDPSから、データ受信用DRAM内部クロック及びデータ受信用フィードバッククロックを再生でき、また、DPS出力用DRAM内部クロックを発生して読出データフェーズ信号RDPSをバッファ105に送信することができる。

【0169】

図29に示されたバッファ105も、バッファ内部クロック信号がクロック位相調整回路として動作するDLL305に与えられている点で、図24に示されたバッファ105と相違している。図29に示された構成のバッファ105を使用した場合、DLL305は、受信位相比較回路306からの受信位相調整信号にしたがって、クロックの位相調整を行い、データ受信用バッファ内部クロック及びデータ受信用フィードバッククロックを生成することができる。

【0170】

図30を参照して、図28及び29に示されたバッファ105及びDRAM110の動作を説明する。この例では、DRAM110は、読出データフェーズ信号RDPSを出力しない初期状態の動作が示されている。図25と比較すると、図30に示された例では、DRAM110において、バッファ105と同様に、666MHzの外部クロックが生成されている点で、図25と相違している（第3ライン参照）。他の動作は、当該外部クロックを参照して行われる点以外、図25と同様であるので、ここでは、説明を省略する。

【0171】

図31乃至図33を参照して、本発明に係るメモリシステムにおけるバッファ105とDRAM110間伝送方式の他の例を説明する。先に説明した例では、データフェーズ信号DPSを書込及び読出データフェーズ信号WDPS及びRD

PSとして、バッファ105及びDRAM110の双方向から出力する場合について説明したが、図31では、書込データフェーズ信号WDPS及び読出データフェーズ信号RDPSを異なる信号線上にバッファ105及びDRAM110から出力していることが分かる。他のクロック（CLK）、コマンド・アドレス（Cmd/Add）、及び、データDQは、図18と同様である。この構成を採用することにより、単一の信号線上に、2つのデータフェーズ信号WDPS、RDPSを多重化する必要がないため、バッファ105及びDRAM110に使用されるDLLの構成を簡略化できる。

【0172】

図32を参照して、図31に示されたDRAM110のデータ書込時における動作を説明する。この場合、書込（ライト）コマンドWRT及びアドレス（Add）が、クロックに同期してバッファ105からDRAM110に出力される。このとき、書込データフェーズ信号WDPSがクロックCLKを4分周する形で、バッファ105からDRAM110に送信される（図32、第4ライン）。DRAM110内では、当該書込データフェーズ信号WDPSを基準として生成された内部クロックに応じて、データDQが所定のレイテンシー時間（WL）経過後、DRAM110内に書き込まれる（第5ライン参照）。

【0173】

一方、DRAM110内では、書込データフェーズ信号WDPSの受信タイミングとは異なるタイミングで、読出データフェーズ信号RDPSが書込データフェーズ信号WDPSとは異なる信号線上に出力される。

【0174】

図33に示すように、DRAM110では、読出コマンド（RED）及びアドレス（Add）を受信すると、読出データフェーズ信号RDPS（第4ライン）に基づいて生成される内部クロック（第1ライン）にしたがって、DRAM110から読出データDQ（第5ライン）をバッファ105に出力する。図からも明らかな通り、読出データフェーズ信号RDPSの出力タイミングは、書込データフェーズ信号WDPSの受信タイミングと異なっている。この例では、書込データフェーズ信号WDPSと読出データフェーズ信号RDPSとは、両者間の相互

干渉、クロストーク等の出力ノイズを回避するために、両者間に2クロック分だけずらされている。

【0175】

次に、図34及び図35を参照して、図31に示されたDRAM110及びバッファ105の具体例を説明する。図34に示されたDRAM110を図23に示されたDRAM110とを比較すると、図34のDRAM110には、書込データフェーズ信号WDPSと読出データフェーズ信号RDPSとが互いに異なる信号線を介して、入出力されている点で、図23のDRAM110と相違している。この関係で、読出データフェーズ信号出力ドライバー207'が、読出データフェーズ信号RDPS送信用信号線に接続され、DRAM110のDLL205及び書込データフェーズ信号WDPSの信号線から切り離されている点で、図23と相違しており、他の構成要素は、図23と同様である。

【0176】

また、図35に示されたバッファ105は、書込データフェーズ信号WDPS送信用ドライバーが書込データフェーズ信号送信用信号線に接続され、読出データフェーズ信号RDPS受信用信号線及びバッファ105のDLL305から切り離されている点で、図24のバッファ105と相違しており、それ以外の構成要素は、図24と同様である。

【0177】

ここで、図34及び図35に示されたDRAM110及びバッファ105間のタイミング関係を、図36を参照して概略的に説明しておく。まず、図36に示すように、バッファ105では、周波数666MHzを有するクロックを発生し（第1ライン）、当該クロックを4分周して書込データフェーズ信号WDPSを書込データフェーズ信号線に出力する（第2ライン）。書込データフェーズ信号WDPSは、時間的に遅延して第3ラインに示すようにDRAM110に受信される。DRAM110は、受信した書込データフェーズ信号WDPSを4通倍して周波数666MHzの内部クロックを生成し（第4ライン）、2クロックだけずらすと共に、4分周することにより、第5ラインに示すような読出データフェーズ信号RDPSを読出データフェーズ信号線に出力する。当該読出データ

フェーズ信号 R D P S は第 6 ラインに示すタイミングでバッファ 105 において受信され、バッファ 105 では、受信した読出データフェーズ信号 R D P S からデータ受信用の内部クロックが第 7 ラインに示すように生成される。

【0178】

図 37 をも参照して、図 34 に示された D R A M 110 の通常時における動作をより詳細に説明する。尚、動作開始時における動作は、図 34 の D R A M 110 と図 23 の D R A M 110 とは同様であるので、説明を省略する。図 34 に示された D R A M 110 には、バッファ 105 から書込データフェーズ信号 W D P S が書込データフェーズ信号線を介して与えられ（図 37、第 3 ライン参照）、当該書込データフェーズ信号 W D P S は図 34 の D L L 205、受信位相比較回路 206 及び出力位相比較回路 209 で受信される。この結果、受信位相比較回路 206 及び出力位相比較回路 209 には、図 37 の第 5 及び第 8 ラインに示すような書込データフェーズ信号 W D P S がそれぞれ入力信号として与えられる。

【0179】

D L L 205 は、受信位相比較回路 206 及び出力位相比較回路 209 からの受信位相調整信号及び出力位相調整信号をも参照して、図 37 の第 4 ラインに示すようなデータ受信用フィードバッククロック及び第 6 ラインに示すようなデータ受信用 D R A M 内部クロックをそれぞれ受信用レプリカ 208 及びデータレシーバ 202 に出力する。

【0180】

更に、D L L 205 は、第 7 及び第 9 ラインに示すようなデータ出力用フィードバッククロック及びデータ出力用 D R A M 内部クロックをそれぞれ出力レプリカ 210 及び D Q 出力ドライバー 201 に供給する。このうち、データ出力用 D R A M 内部クロックは D L L 205 内で 4 分周され、第 10 ラインに示すように、R D P S 出力用 D R A M 内部クロックとして、R D P S 出力ドライバー 207' に供給され、当該出力ドライバー 207' からは、第 11 ラインに示すような読出データフェーズ信号 R D P S がバッファ 105 に出力される。

【0181】

図 35 及び図 38 を参照して、バッファ 105 における読出データ受信時の動

作を説明する。WDPS出力用バッファ内部クロック（第3ライン）によって、書込データフェーズ信号WDPSが当該信号線上に出力され（第2ライン）、読出データフェーズ信号線を介して読出データフェーズ信号RDPSがバッファ105のDLL305及び受信位相比較回路306に与えられる（第5ライン）。DLL305は、受信位相比較回路306からの受信位相調整信号を参照して、第4ライン及び第6ラインに示すようなデータ受信用フィードバッククロック及びデータ受信用バッファ内部クロックを受信用レプリカ308及びデータレシーバ302に供給する。ここで、図示されたデータ受信用バッファ内部クロックは、読出データフェーズ信号RDPSに対して1/4位相だけシフトされている。

【0182】

図39及び図40を参照して、図31に示された伝送方式を実現できるDRAM110及びバッファ105の他の例を説明する。図39に示されたDRAM110には、図28と同様にクロックCLKが外部から与えられている点で、図34のDRAM110と相違しており、他方、図40に示されたバッファ105のDLL305にバッファ内部クロック信号が与えられている点で、図35に示されたバッファ105と相違している。図39では、外部クロックがDRAM110内のDLL205に与えられ、他方、書込データフェーズ信号WDPSは受信位相比較回路206及び出力位相比較回路209に供給されている。この構成によっても、図34と同様な動作を実現できる。

【0183】

また、図40に示されたバッファ105の受信位相比較回路306に、DRAM110からの読出データフェーズ信号RDPSが与えられ、DLL305は、受信位相比較回路306からの受信位相調整信号及びバッファ内部クロック信号にしたがって、データ受信用フィードバッククロック及びデータ受信用バッファ内部クロックを生成している。この構成によっても、図35と同様な動作が可能である。

【0184】

前述した伝送方式は、全てモジュール上に搭載されたバッファとDRAMとの間のデータ伝送について説明したが、本発明は、何等、これに限定されない。例

えば、DRAM以外のメモリ回路、例えば、ROMにも適用可能である。更に、本発明は、双方向にデータを伝送するシステム或いはストロブ信号を必要とするようなシステムに適用しても、データ伝送を高速に行うことができる。

【0185】

前述したメモリシステムでは、各メモリモジュール上にバッファ及び複数のDRAMを搭載し、メモリモジュール上のDRAMとのデータ信号の受送信、DRAMへのクロック、アドレスコマンド信号の伝送は、すべて各メモリモジュール上のバッファを介して行われている。更に、上記では、各メモリモジュールにおけるバッファと各DRAMとの間の、1対1のデータの受送信について主に説明した。

【0186】

しかしながら、上記したメモリモジュールを実際に高速で動作させるためには、更に、DRAMのメモリモジュール上の位置に依存して発生するデータ信号と、クロック、コマンド・アドレス信号間のタイミングスキューを処理する必要があると共に、バッファにおいて各DRAMから送信され、異なるタイミングで到着するデータに対して、バッファ内でクロックタイミングの整合を行う必要がある。

【0187】

ここで、図41を参照して、上記した点をより具体的に説明すると、図示されたメモリモジュール103上には、バッファ105と複数のDRAM110が搭載されている。メモリモジュール103上に搭載される各DRAM110のパッケージサイズは通常14mm程度の幅を有しており、このサイズは世代が進んでも維持されるものと考えられる。このようなサイズのDRAM110が、図示されているように、例えば5個、9mmの間隔を置いて搭載された場合、遠端DRAM110(110Fで示す)とバッファ105との間におけるクロック、コマンド・アドレス、DQ信号線の配線長は65mmであり、他方、近端DRAM110(110Nで示す)との間におけるクロック、コマンド・アドレス、DQ信号線の配線長は9mmである。

【0188】

このようなディメンションのメモリモジュール103が800MHzの高周波で駆動されると、クロック、コマンド・アドレス信号とDQ信号の信号伝播時間の

違いにより遠端DRAM110Fにおいては高周波動作(800MHz)の動作周期(1250ps)に対して無視できないレベルのタイミングスキューが発生する。

【0189】

具体的に説明すると、クロック、コマンド・アドレス信号はバッファ105から各DRAM110に共通配線を介して入力されるため、クロック、コマンド・アドレス信号に対しては、1.5pFx2x5程度の入力容量が配線上に分布することになる。したがって、クロック、コマンド・アドレス信号の信号単位伝播時間(t_{PD})は14ps/mm程度になる。他方、DQ信号は1対1あるいは1対2の配線を介して、バッファ105と各DRAM110との間で送受されるため、DQ信号に対しては2.5pFx2程度の入力容量が配線上に分布していることになる。したがって、DQ信号の信号単位伝播時間 t_{PD} は8ps/mm程度となり、クロック、コマンド・アドレス信号の信号単位伝播時間に比較して短いことが分る。

【0190】

このようなクロック、コマンド・アドレス信号とDQ信号の信号伝播時間の違いにより遠端DRAM110Fにおいては、高周波動作(800MHz)の動作周期(1250ps)に対して、無視できないレベルのタイミングスキューが発生する。図示されたメモリシステムについて説明すると、ライト時における遠端DRAM110Fまでのクロック、アドレスコマンド信号伝播時間は910($=14 \times 65$)psであり、他方、DQ信号の信号伝播時間は520($=8 \times 65$)psである。この結果、遠端DRAM110Fでは、クロック、アドレスコマンド信号とDQ信号との間に390psのタイミングスキューが生じることになる。

【0191】

このようなタイミングスキューが発生した状態で、遠端DRAM110Fにライトコマンドが与えられた場合、ライトコマンド(WRT)はバッファ105からのバッファクロック信号の位相でDRAMに取り込まれる。

【0192】

一方、各DRAM110内部におけるデータのライト動作はライトコマンドを受信後、バッファクロック信号に同期して行われる。このことは、データ受信用DRAM内部クロックの立ち上がりで取り込まれたデータは1サイクルの間にバッファク

ロック信号の位相タイミングに寄せかえられる必要があることを意味している。

【0193】

例えば、データ受信用DRAM内部クロックの立ち上がりで取り込まれたデータはバッファクロック信号の立下りでクロック信号位相タイミングに寄せかえられ、他方、立ち下がりで取り込まれたデータはバッファクロック信号の立ち上がりでクロック信号位相タイミングに寄せかえられる。この結果、交互に内部データが生成される。このようなデータを一方のクロックから他のタイミングに寄せかえる場合、セットアップタイムとホールドタイムが必要である。

【0194】

図41に示されたシステムでは、データ受信用DRAM内部クロックで取り込まれたデータのバッファクロックタイミングへ寄せかえるための、近端DRAM110Nにおけるセットアップタイム及びホールドタイムはそれぞれ679ps及び571psであるのに対して、遠端DRAM110Fのセットアップタイム及びホールドタイムはそれぞれ1015ps及び235psである。

【0195】

このことから明らかな通り、近端DRAMNではクロック信号とDQ信号のタイミングスキューが54psと小さいためセットアップタイムとホールドタイムには均等なマージンが得られているが、遠端DRAM110Fでは、390psのスキューのため、ホールドタイムが235ps（0.19クロック周期）と短くなってしまい、十分なタイムマージンが得られない。

【0196】

更に、リード（READ又はRED）コマンドにより各DRAMより送信されるDQ信号はクロック信号の伝播時間（コマンドの伝播時間と同じ）およびDQ信号の伝播時間の違いにより、バッファ105における到着時間が異なっている。例えば、近端DRAM110Nへのクロック信号（コマンド）の伝播時間は126ps、近端DRAM110Nからバッファ105へのDQ信号の伝播時間は72psであり、他方、遠端DRAM110Fへのクロック信号（コマンド）の伝播時間は910ps、遠端DRAMからバッファ105へのDQ信号の伝播時間は520psである。

【0197】

また、各DRAM110におけるリードコマンドからデータ出力までのレイテンシーは等しく、ここでは8クロックとするものとすれば、近端DRAM110Nにおける信号往復伝播時間トータルは198ps、遠端DRAM110Fにおける信号往復伝播時間は1430psであり、その差は1230psである。

【0198】

したがって、バッファ105では、異なる到着時間のデータを再びクロック信号のタイミングに揃えてメモリコントローラに転送する必要がある。更に、前述したことからも明らかな通り、近端及び遠端DRAM110N及び110Fからのデータはバッファ105内の異なるクロックサイクルにまたがって到着する。したがって、各DRAM110からのデータ毎にどのサイクルに整合させるべきデータであるかをバッファ110で識別する必要がある。

【0199】

以下、図面を参照して、上記したスキューを考慮した本発明の実施例を説明する。

【0200】

以下の実施例では、DRAMに供給されるクロック信号（ここでは、バッファクロック信号と呼ぶ）の周波数は前記スキューを処理するため、バッファ105に供給されるクロック（ここでは、グローバルクロックと呼ぶ）を1/2に分周することによって生成され、また、DPS信号は当該分周されたバッファクロック信号と同じ周波数で伝送されるものとする。したがって、コマンド・アドレス信号はクロック信号の立ち上がりおよび立下りに同期して送受信される。更に、データ信号はDPS信号に同期してクロック信号の周波数の4倍の転送レートで受送信される。

【0201】

図42を参照すると、本発明の第1の実施例に係るメモリシステムに使用されるDRAMの構成が示されており、ここでは、ライト／リードデータフェーズ信号(WDPS/RDPS)を互いに異なる配線を介して入出力する例が示されている。

【0202】

図42に示されたDRAM110はコマンド・アドレス受信用クロック生成回路(DLL)500及びドメインクロッシング回路501を備えている点で、他の図に示されたDRAM110と相違している。図示されたクロック生成回路(DLL)500及びドメインクロッシング回路501はそれぞれバッファから400MHzのバッファクロック信号及びコマンド・アドレス信号を受けて動作を行う。

【0203】

図示された実施例では、コマンド・アドレス信号をバッファクロック信号(以下、単にクロック信号と呼ぶ場合もある)のタイミングでDRAM110に取り込み、データフェーズ信号(WDPS)に基づいて生成されたDRAM110内部のデータ位相クロックに受け渡す。このことにより、コマンド・アドレス信号はデータ位相(WDPS)に基づいて生成された内部コマンドとなり、以後、当該内部コマンドによりDRAM110の内部リード/ライト動作が行なわれることになる。このことは、DRAM110の内部リード/ライト動作がWDPSのデータ位相に同期して行なわれることをあらわしている。

【0204】

ここで、DRAM110におけるクロックの位相が受け渡し先のWDPSの位相に対してセットアップタイムとホールドタイムにマージンが振り分けられるように、バッファ105においてWDPS信号をグローバルクロックの1クロック分(1tCKであらわす)、即ち、分周クロックの180度分遅延させる。

【0205】

図43を参照すると、DRAM110内に設けられたドメインクロッシング回路501の具体的な構成が示されている。図示されたドメインクロッシング回路501は、コマンド・アドレス信号をバッファクロック信号の位相からWDPS位相へのドメインクロッシングさせる回路であり、第1のラッチ回路511と第2のラッチ回路512とによって構成されている。具体的に言えば、第1のラッチ回路511は0度の位相クロック及び180度の位相クロックに応じてコマンド信号を受信し、ラッチする2つのレシーバを含み、他方、第2のラッチ回路512は0度及び180度のデータ位相クロックに応じて、第1のラッチ回路511からの

コマンド信号を保持する 2 つのフリップフロップ回路を備えている。

【0206】

ここで、0 度及び 180 度の位相クロックは、図 42 に示されたコマンド・アドレス受信用クロック生成回路 500 によって生成され、受信したバッファクロック信号の 0 度及び 180 度の位相をそれぞれあらわしている。他方、0 度及び 180 度のデータ位相クロックはライトデータフェーズ信号 (WDPS) の 0 度及び 180 度の位相をあらわしている。

【0207】

図 42 に示されているように、0 度及び 180 度のデータ位相クロックは WDPS に応答して動作するクロック再生及び位相調整回路 (DLL) 205 によって生成されている。

【0208】

このことから明らかな通り、図示されたドメインクロッシング回路 501 では、コマンド信号 (或いは、アドレス信号) をバッファクロック信号の 0 度又は 180 度の位相から、データフェーズ信号 (WDPS) の 0 度又は 180 度の位相に同期させ、DRAM 内部コマンド・アドレス信号として出力することが分る。

【0209】

図 44 を参照すると、図 42 に示された DRAM110 と本発明の第 1 の実施例を構成するバッファ 105 の具体的構成が示されており、当該バッファ 105 は図 42 の DRAM110 とデータ信号 DQ の送受を行なう。図示されたバッファ 105 はメモリコントローラ (図示せず) から与えられるグローバルクロックを受けて動作するクロック分周/位相比較調整回路 601 を有し、当該クロック分周/位相調整比較回路 601 はグローバルクロックを 2 分周したバッファクロックをクロック信号として DRAM110 に出力する一方、DRAM 用の WDPS を出力する。図では、遠端 DRAM110F 用の WDPS を出力する部分だけが示されている。

【0210】

図示されたクロック分周/位相調整比較回路 601 は更にデータ出力用バッファ

ァ内部クロック及びWDPSバッファ内部の位相クロックをそれぞれDQ出力ドライバ301及びドメインクロッシング回路602に内部的に出力している。ここで、WDPSバッファ内部の位相クロックは遠端DRAM110用のWDPSの0、90、180、及び、270度の位相をあらわしている。

【0211】

他方、遠端DRAM110Fからのデータフェーズ信号であるRDPSを受けて動作するクロック再生／位相調整回路305は当該RDPSの0、90、180、及び、270度の位相をあらわすデータ受信用バッファ内部位相クロックを生成し、ドメインクロッシング回路602に供給している。

【0212】

バッファ105内のドメインクロッシング回路602は第1段目のデータラッチ回路611及び第2段目のデータラッチ回路612を含んでいる。具体的には、ドメインクロッシング回路602はRDPS位相からWDPS位相にドメインクロッシングする回路であり、図45に示されているように、DRAM110から読み出されたデータ信号DQをRDPSの0、90、180、及び、270度の位相に同期して生成されるバッファ内部位相クロックにしたがって、受信し、ラッチする第1段目のデータラッチ回路611と、第1段目のデータラッチ回路611の出力をラッチする第2段目のデータラッチ回路612とを備えている。第2段目のデータラッチ回路612は図44に示されたクロック分周／位相比較調整回路601で生成されるWDPSバッファ内部位相クロック（270、0、90、180度）に応じてそれぞれラッチするフリップフロップ回路を有し、当該内部位相クロックの位相で、第1段目のデータラッチ回路611からの出力をラッチして、バッファ内部データ信号として出力する。

【0213】

図46を参照して、図示された実施例に係るライト時の動作を説明する。ここでは、バッファ105と近端DRAM110Nとの間のライト時における動作を説明する。ここでは、各DRAM110でコマンド・アドレス信号をグローバルクロック、即ち、バッファクロックの位相ドメインからWDPSの位相ドメインに寄せかえるために、バッファ105は1システムクロック時間位相分（1250ps）遅延

させて、WDPSを近端DRAM110Nに出力するものとし、ライトレイテンシー(WL)は6システムクロックとする。

【0214】

図示されているように、800MHzのグローバルクロック(第1ライン)を受けると、バッファ105のクロック分周/位相比較調整回路601は400MHzのバッファクロックをDRAM110に出力する(第2ライン)。当該バッファクロックに同期して、ライトコマンド(WRT)が近端DRAM110Nに出力される。他方、1グローバルクロック分の位相(1250ps)、即ち、バッファクロック信号の1/2位相遅れて400MHzのライトフェーズ信号(WDPS)が近端DRAM110Nに出力されている。前述したWL後、ライトデータ信号(DQ)がWDPSに同期して近端DRAM110Nに出力されている。

【0215】

一方、近端DRAM110Nには、バッファクロック、ライトコマンド(WRT)が前述したように126ps後の伝播時間で到達し、WDPSは54ps短い伝播時間で到達する。

【0216】

図42に示されたように、近端DRAM110Nでは、受信したバッファクロックの0及び180度をあらわす0度及び180度位相クロックをコマンド・アドレス受信用クロック生成回路500によって生成する。更に、WDPSを受信する近端DRAM110Nのクロック再生/位相調整回路205は、当該WDPSの0及び180度の位相をあらわす0度及び180度位相データ位相クロックを生成する。

【0217】

図示された例では、クロック信号に同期してDRAMに受信されたコマンド・アドレス信号が0度の位相クロック(バッファクロックの位相)から0度位相データ位相クロック(WDPSの0度位相)にドメインクロッシングが行なわれ、この結果、0度位相データ位相クロックに同期して、内部ライトコマンド(WRT)が生成される。このことは、バッファクロック位相からWDPS位相へのドメイ

ンクロッシングが行なわれたことを意味しており、内部生成されたライトコマンド (WRT) に応答して、6WL 後、データ信号 (DQ) のライト動作が行なわれる。

【0218】

この構成を有する近端 DRAM110N のクロック位相からデータ位相へのコマンド・アドレス信号受け渡しのためのセットアップタイム及びホールドタイムはそれぞれ 1196 及び 1304 ps であり、十分なタイムマージンが得られることが分る。

【0219】

尚、近端 DRAM110N では、受信した WDPS と同一位相の RDPS が生成されバッファ 105 に対して出力され、144 ps の伝播時間後、バッファ 105 に到達する。

【0220】

図 47 を参照すると、上記した実施例に係るメモリシステムのバッファ 105 と遠端 DRAM105F との間におけるライト時の動作が示されている。図示されているように、ライトコマンド (WRT) は 400MHz のバッファクロックに同期して出力されており、他方、WDPS がバッファクロックに対して 1250 ps 遅延バッファクロック信号の 1/2 位相遅れて出力されている。これらライトコマンド (WRT)、バッファクロックと WDPS とは異なる遅延時間経過後、遠端 DRAM110F に到達している。これらバッファクロック及び WDPS との間には前述した 390 ps のスキューが発生した状態で、遠端 DRAM110F に受信されている。遠端 DRAM110F では、受信したライトコマンド WRT を受信した WDPS のタイミングに合せかえ、受信した WDPS に同期して DRAM 内部コマンド (WRT) を生成し、当該 DRAM 内部コマンドから 6WL 後、データ信号 (DQ) を書き込んでいる。

【0221】

図示されているように、この構成を有する遠端 DRAM のクロック位相からデータ位相へのコマンド・アドレス信号受け渡しのためのホールドタイムは 1640 ps にすることができ、セットアップタイムは 860 ps にすることができる。こ

のように、遠端DRAM110Fにおいても十分なタイミングマージンが得られることが分る。

【0222】

更に、図示されているように、WDPSを受信した遠端DRAM110Fは当該WDPSに同期して同位相のRDPSをバッファ105に出力し、バッファ105はWDPSの生成後、1040ps経過した時点で遠端DRAM110Fからの対応する位相の当該RDPSを受信する。本実施例ではWDPSと同じ位相のRDPSを対応させている。すなわち、RDPSの0度位相はWDPSの0度位相に対応し、RDPSの90度位相はWDPSの90度位相に対応すると共に、180度、270度も同様に、WDPSの180、270度の位相に対応する。

【0223】

次に、図48を参照して、上記した実施例に係るメモリシステムにおいて、バッファ105がリードコマンド(RED)をバッファクロックに同期して遠端DRAM110Fに出力するリード動作の場合について説明する。前述したように、WDPS送信後、1040ps時間経過すると、バッファ105には、遠端DRAM110Fから対応する位相のRDPSが到来する。

【0224】

一方、遠端DRAM110F側では、受信したWDPSに同期して同位相のRDPSをバッファ105に出力する。バッファ105はリードコマンド(RED)をバッファクロックに同期して遠端DRAM110Fに出力する。遠端DRAM110Fはリードコマンドをバッファクロック信号のタイミングで取り込み、WDPSに基づいて生成されたデータ位相クロックに受け渡す。このことにより、リードコマンド信号はデータ位相(WDPS)に基づいて生成された内部コマンドとなり、以後、当該内部リードコマンドによりDRAM110Fの内部リード動作が行なわれる。当該受信したREDから8グローバルクロック分経過後、データ信号(DQ)を読み出す。読み出しデータ信号はRDPSに同期して遠端DRAM110Fからバッファ105に出力され、520ps後、バッファ105に受信される。

【0225】

この構成では、バッファ105におけるRDPS位相からWDPS位相へのド

メインクロッシングタイミングマージンは835psであり、十分なタイミングマージンが得られることが分る。

【0226】

更に、図49及び図44を参照して、上記した実施例におけるバッファ105内のリード時における動作を説明する。ここでは、遠端DRAM110Fからデータ信号(DQ)が読み出されるものとする。バッファ105では、受信されるRDPSに同期して、読出データ信号(DQ)が受信される。図44に示されたバッファ105はRDPSから当該RDPSの位相をあらわす4相のデータ受信用バッファ内部クロック(0、90、180、270度)を生成して、ドメインクロッシング回路602の第1段目のデータラッチ回路611に供給している。したがって、遠端DRAM110Fからのデータ信号(DQ)はこれら4相のデータ受信用バッファ内部クロックに同期して、第1段目のデータラッチ回路611に格納された後、第2段目のデータラッチ回路612に供給される。

【0227】

第2段目のデータラッチ回路612には、当該バッファ105で生成されたWDPS(グローバルクロック)から得られた4相のバッファ内部位相クロックがクロック分周/位相比較調整回路601から与えられており、第1段目のデータバッファ611の出力は4相のバッファ内部位相クロックにしたがって第2段目のデータラッチ回路612に格納される。この結果、遠端DRAM110Fから読み出されたデータ信号(DQ)はバッファ105内で生成される内部クロックに乗せかえられた形で、バッファ105からメモリコントローラに出力されることになる。

【0228】

次に、図50を参照して、リード動作時における近端、遠端DRAM110N及び110Fからのデータ信号(DQ)を処理する際におけるバッファ105の動作を説明する。近端、遠端DRAM110N及び110Fに対して、バッファクロックに同期してバッファ105からリードコマンド(RED)およびバッファクロックに対して1/2位相遅延したWDPSを出力しているものとする。この場合、図示されているように、バッファ105には、近端DRAM110NからWDPS信

号の対応する位相に対して同じ位相のRDPS信号が144 p s 遅延したタイミングで入力され、遠端DRAM110Fからは1040 p s 遅延したタイミングで入力される。ここで、リードコマンド (RED) の生成後、 $(8 + 2.5)$ グローバルクロック時間経過した時点で、バッファ105はデータの取り込み動作を開始するように設定されているとすると、バッファ105における近端及び遠端DRAMのRDPSにそれぞれ同期して読み出されるデータ信号 (DQ) のRDPS位相からWDPS位相すなわちクロック位相へのタイミング乗せ替えのためのホールドタイムは770及び1665 p s であり、セットアップタイムはそれぞれ1731及び835 p s となり、十分なタイムマージンが確保されていることが分る。

【0229】

前述した動作をより一般化して説明すると、システムクロック (グローバルクロック) 信号をn分周したバッファクロック信号、及び、当該バッファクロック信号と同じ周波数のデータフェーズ信号 (WDPS) がバッファ105よりDRAMに供給される。一方、コマンド・アドレス信号はバッファクロック信号に整合して、バッファ105から送信される。周期内に転送されるコマンド・アドレス信号が最大m回である場合、各コマンド・アドレス信号はDRAMで1/m位相毎にバッファクロック信号のタイミングから生成された内部クロック信号のいずれかにより受信される。

【0230】

他方、各DRAM110では、バッファ105より送信されたデータフェーズ信号 (WDPS) のタイミングから同様に1/m位相ごとに内部生成された内部データ位相クロックのうちの、あらかじめ対応付けられた1つに受け渡されて内部コマンド・アドレス信号が生成される。

【0231】

各DRAM110に書き込まれるデータ信号はデータフェーズ信号 (WDPS) のタイミングに整合して、バッファ105からDRAM110に送信され、周期内に転送されるデータ信号が最大k回である場合、DRAM110でバッファ105より送信されたデータフェーズ信号 (WDPS) のタイミングから1/k位相ご

とに生成された内部クロック信号のいずれかにより、各DRAM110に受信され、格納される。

【0232】

他方、DRAM110から読み出されたデータ信号はデータフェーズ信号(RDPS)のタイミングに整合して、DRAM110より送信され、バッファ105でDRAM110より送信されたデータフェーズ信号(RDPS)のタイミングから $1/k$ 位相ごとに生成された内部クロック信号のいずれかにより受信される。このRDPSはもともとバッファ105内で生成されたデータフェーズ信号(WDPS)のタイミングから $1/k$ 位相ごとに内部生成された内部クロックのうちの、あらかじめ対応づけられた1つに受け渡されて内部リードデータ信号が生成される。

【0233】

この場合、コマンド・アドレス信号はバッファクロック信号の立ち上がり、立下りエッジに同期してバッファ105より送信され、バッファクロック信号の立ち上がり、立下りエッジに同期してDRAMに取り込まれる。

【0234】

図51を参照すると、本発明の第2の実施例に係るメモリシステムに使用されるDRAM110が示されている。この実施例に係るDRAM110は、データ信号をWDPSより生成された位相クロックでDRAM110に取り込み、バッファクロック信号より生成された位相クロックに受け渡す構成を備えている。このため、図示されたDRAM110は、WDPSを受けて動作するクロック再生/位相調整回路521を備え、当該クロック再生/位相調整回路521は受信用レプリカ523及び受信位相比較回路525と接続されている。図示されたクロック再生/位相調整回路521は受信位相比較回路525からの受信位相調整信号の制御の下に、WDPSから4相のデータ受信用DRAM内部位相クロック(0、90、180、270度)を生成し、ドメインクロッシング回路501の第1段目のデータラッチ回路527に供給する。

【0235】

他方、バッファクロック信号はクロック再生/位相調整回路(DLL)205に与えられ、当該クロック再生/位相調整回路205によって、4相の位相クロ

ックを生成し、当該位相クロックをドメインクロッシング回路 5 0 1 の第 2 段目のデータラッチ回路 5 2 9 に供給している。

【 0 2 3 6 】

図 5 2 をも参照すると、ドメインクロッシング回路 5 0 1 の第 1 段目のデータラッチ回路 5 2 7 には、データ信号 (DQ) がバッファ 1 0 5 から与えられ、更に、WDPS から生成された 4 相のデータ受信用 DRAM 内部位相クロックがクロック再生/位相調整回路 5 2 1 から与えられている。したがって、4 つのレシーバ/ラッチによって構成された第 1 段目のデータラッチ回路 5 2 7 はデータ信号 (DQ) を 4 相のデータ受信用 DRAM 内部クロックのタイミングで受信、ラッチし、その出力をそれぞれ 4 つのフリップフロップ回路で構成された第 2 段目のデータラッチ回路 5 2 9 に出力する。

【 0 2 3 7 】

第 2 段目のデータラッチ回路 5 2 9 の 4 つのフリップフロップ回路には、4 相の DRAM 内部位相クロックがそれぞれ与えられており、第 1 段目のデータラッチ回路 5 2 7 からの出力は当該 4 相の DRAM 内部位相クロックにしたがって格納され、DRAM 内部データ信号として出力される。

【 0 2 3 8 】

また、クロック再生/位相調整回路 2 0 5 はバッファクロック信号から 0、1 8 0 度の 2 相位相クロックを生成して、コマンドアドレスレシーバ 5 3 1 に供給する。コマンドアドレスレシーバ 5 3 1 は 2 相位相クロックにしたがってコマンド・アドレス信号を取り込み、内部コマンド・アドレス信号として出力する。このように、内部コマンド・アドレス信号はバッファクロック位相で生成され、DRAM の内部リード/ライト動作はバッファクロック位相に同期して行われる。

【 0 2 3 9 】

図 5 3 を参照すると、上記した DRAM 1 1 0 に接続して使用されるバッファ 1 1 0 の具体例が示されている。図示されたバッファ 1 1 0 に含まれているクロック分周/位相比較調整回路 6 0 1 が、バッファ内部の 4 相位相クロックをドメインクロッシング回路 6 0 2 に供給し、更に、DQ ドライバー 3 0 1 にデータ出力用バッファ内部 4 相クロックを出力している点で、図 4 4 に示されたバッファ

105と相違している。更に、図示されたドメインクロッシング回路602には、クロック再生/位相調整回路305によって、RDPSに基づいて生成されるデータ受信用バッファ内部4相クロックが与えられている。

【0240】

図54をも参照すると、図53に示されたドメインクロッシング回路602の第1段目のデータラッチ回路611は、4相のデータ受信用バッファ内部位相クロックによってデータ信号(DQ)を受信、ラッチする4つのレシーバを備えており、各レシーバの出力は第2段目のデータラッチ回路612を構成する4つのフリップフロップ回路に供給されている。これらフリップフロップ回路は4相のバッファ内部位相クロックにしたがって第1段目のデータラッチ回路出力をラッチする。図示されているように、第1段目のデータラッチ回路611において、0、90、180、及び、270度のデータ受信用バッファ位相クロック、即ち、RDPSの位相をあらわすクロックで受信、ラッチされた出力は第2段目のデータラッチ回路612において、それぞれ270、0、90、及び、180度の内部位相クロックによってラッチされ、データ信号が異なる位相クロックによってラッチされていることが分る。換言すれば、図示された例では、バッファクロック信号の位相において90度先行する位相に乗り換えが行われていることが分る。

【0241】

図55を参照して、バッファ105と近端DRAM110Nとの間におけるライト動作を説明する。バッファ105は近端DRAM110Nに対して、WDPSを出力する。このWDPSはDRAM110においてデータ信号(DQ)をWDPS位相ドメインからクロック位相ドメインにませかえるタイムマージンを確保するために、バッファクロック信号に対して90度分(グローバルクロックで1/2クロック; 625ps)だけ先行した位相を有している。

【0242】

図において、ライトコマンドWRTはバッファクロックに同期してバッファ105から近端DRAM110Nに出力される。他方、データ信号(DQ)はグローバルクロックで6クロック分のライトレイテンシ後、WDPSに同期してバ

ッファ 105 から出力される。

【0243】

バッファ 105 はバッファクロック及びバッファクロックに同期したライトコマンド (WRT) を出力すると共に、WDPS をもバッファクロックに整合して出力する。

【0244】

この場合、ライトコマンド (WRT) と WDPS (即ち、DQ) とは互いに 54 ps の伝播遅延差を有して近端 DRAMN に受信される。

【0245】

受信したライトコマンドから、6 ライトレイテンシ (WL) 後、データ信号 (DQ) が WDPS に同期してバッファ 105 から出力されると、WDPS より生成されたデータ位相クロックで DRAM 110N に取り込まれ、バッファクロック信号より生成された位相クロックに受け渡される。ここでデータ位相からクロック位相へのドメインクロッシングのためのホールドタイム、セットアップタイムは、それぞれ 1821 ps および 679 ps となる。尚、図示された近端 DRAMN は受信したバッファクロックのタイミングで、RDPS をバッファ 105 に出力し、当該 RDPS は 72 ps 後、即ち、対応するグローバルクロックの位相から 198 ps 後、バッファ 105 に入力される。

【0246】

図 56 を参照すると、遠端 DRAMF に対するライト動作が示されている。この場合、遠端 DRAMF に受信されるライトコマンド (WRT) とデータ信号 (DQ) との間には、390 ps のスキュー伝播遅延時間差が存在しているものとする。バッファクロックと WDPS との間にも同様なスキューが存在している。このことを考慮して、WDPS の位相を 90 度先行させ、WDPS 位相からバッファクロック位相へのドメインクロッシングが行われている。この結果、遠端 DRAMF においても、図示されているように、データ位相からクロック位相へのドメインクロッシングのため 1485 ps のホールドタイム及び 1015 ps のセットアップタイムが確保され、十分なタイミングマージンが得られる。

【0247】

また、リード時には、図 5 7 に示すように、DRAM 1 1 0 は、バッファクロック位相と同位相で RDPS をバッファ 1 0 5 に送信し、データ信号 (D Q) は当該 RDPS に整合されてバッファ 1 0 5 に送られ、バッファ 1 0 5 では、当該データ信号を RDPS から生成された位相クロック信号で取り込む。このように、バッファ 1 0 5 内のクロック信号に基づいて生成された位相クロック信号に受け渡すことにより、バッファ 1 0 5 内におけるクロック位相に揃えることができる。

【 0 2 4 8 】

バッファ 1 0 5 では、当該バッファ 1 0 5 における RDPS の位相が受け渡し先のクロックの位相に対してセットアップタイムとホールドタイムにマージンが振り分けられるように、RDPS の 0 度とクロック信号の 270 度が対応するように受け渡しを行う。

【 0 2 4 9 】

この動作によって、図 5 8 に示すように、近、遠端 DRAM からの読出しデータをバッファ 1 0 5 で受信した場合、十分なセットアップタイムとホールドタイムが確保される。図示された例では、近端 D R A M N では、8 2 3 p s のホールドタイム及び 1 6 7 7 p s のセットアップタイムが確保でき、他方、遠端 D R A M F では、2 0 5 5 p s のホールドタイム及び 4 4 5 p s のセットアップタイムが確保できる。尚、図示された例では、データ信号のリード動作において、トータルのレイテンシーは、DRAM 内部における読み出し時間と 1.5 クロックとの和に等しい。

【 0 2 5 0 】

前述したことからも明らかな通り、図 4 2 及び図 5 1 に示された D R A M 110 内のコマンド・アドレス受信用クロック生成回路 500、521、ドメインクロッシング回路 501、クロック再生／位相調整回路 205 はデータ信号とコマンド・アドレス信号との間のスキューを吸収する D R A M 側回路として動作し、他方、図 4 4 及び図 5 2 のバッファ 105 のクロック分周／位相比較調整回路 601、ドメインクロッシング回路 602、及び、クロック再生／位相調整回路 305 はスキューを吸収するバッファ側回路として動作する。

【 0 2 5 1 】

上記した2つの実施例では、DRAMに供給するクロック信号、データフェーズ信号(W/RDPS)は、バッファ105でシステムクロック信号(即ち、グローバルクロック)を2分周することによって生成されている。更に、DRAM内部およびバッファ105内部でコマンド・アドレス信号の場合は1/2、データ信号の場合は1/4位相毎のクロック位相信号、データ位相信号を生成している。また、内部生成された位相の異なるクロック位相信号およびデータ位相信号はそれぞれ対応づけられて、受信した信号のクロック間のタイミングの受け渡しが行われている。この場合、対応付けられた各位相の信号の周期はシステムクロック信号の2倍になるので、前述したように受け渡し先の位相信号に対するセットアップタイム、ホールドタイムに対するマージンを確保することができる。

【0252】

この場合、セットアップタイム、ホールドタイムにたいするマージンは受け渡す信号を取り込む位相信号のエッジがちょうど受け渡し先の位相信号の中間にあることが理想であるが、バッファからDRAMに対する信号送信の場合には、よりそれに近づくように、バッファにおけるWDPSの位相をクロック信号に対して位相を遅延あるいは先行させて調整すれば良い。

【0253】

また、DRAMからのDQ信号をバッファにおいて揃える場合、遠端及び近端からのRDPSのエッジが、受け渡し先の位相信号となるWDPS或いはクロック信号の中間に近づくように、受け渡し側の位相信号を選択すれば良い。前述した実施例では、RDPSの0度位相信号に対してWDPS或いはクロック信号の270度位相信号を対応させることにより、DRAMからのDQのタイミングを揃えていることは明らかである。

【0254】

更に、DRAMからDQ信号がバッファに伝達されるまでのモジュール上でのクロックに同期しないフライトタイムは第1の実施例の場合では、バッファとDRAM間をデータ信号が往復する時間となり、第2の実施例の場合では、バッファからDRAMにリードコマンドが伝送される時間とDRAMからデータ信号がバッファに伝送される時間の合計になる。上記した第1の実施例では、最大(遠端DRAMの場合)

1040ps、第2の実施例では、最大1430psとなり、システムクロック信号を2分周にすることで、1サイクル(2500ps)で処理(バッファ上のもとのクロック位相に揃える)することが可能になる。

【0255】

図59を参照して、本発明の第3の実施例に係るメモリシステムについて説明する。この実施例では、DPS(Data Phase Signal)を使用すると共に、配線数の増加を抑えながら、ディファレンシャル信号のDPSの送受を可能にしている。この実施例では、DRAMから送信するRDPSと、バッファ105から送信するWDPSとが共通の信号線を介して送受されると共に、バッファ105からコントロール信号(indicate)がDRAM110に送信されている点で、他の実施例とは異なっている。このコントロール信号(indicate)は、バッファ105からのデータフェーズ信号(WDPS)を受信する期間とバッファ105にデータフェーズ信号(RDPS)を送信する期間とをDRAM110側で切り替えられるための信号である。一方、バッファ105では、自身のコントロール信号(indicate)にしたがって、バッファ105におけるデータフェーズ信号(DPS)の受送信を切り替える。

【0256】

当該コントロール信号は図59に示されるようにモジュール上のDRAM110で共有することができるため、コントロール信号(indicate)用の配線が1本増加するだけである。

【0257】

上記した第3の実施例に係るメモリシステム(即ち、メモリモジュール103)では、RDPSとWDPSで信号線を共有する場合、ドライブ回路をオープンドライバの形式にする必要があったが、この実施例では、プッシュプル(CMOSドライバ)であっても可能であり、またディファレンシャル信号にすることができ、タイミング精度を向上できる。

【0258】

図60を参照すると、この実施例において使用されるDRAM110の構成が示されており、他方、図61には、バッファ105の構成が示されている。図6

1からも明らかな通り、バッファ105にDPSコントロール信号生成回路701が設けられ、当該コントロール信号生成回路701からコントロール信号(indicate)がDRAM110に送信されると共に、内部コントロール信号がDPSコントロール信号生成回路701からクロック分周/位相比較調整回路601、クロック再生/位相調整回路305、及び、受信位相比較回路306に出力されている。

【0259】

また、図60に示されたDRAM110はコントロール信号(indicate)を受けて、DPSドライバー207のモードを切り替えると共に、クロック再生/位相調整回路521及び受信位相比較回路525の状態を変化させるDPSコントロール回路541を備えている。他の構成要素については既に説明したから、ここでは詳述しない。

【0260】

図62を参照すると、バッファ105より送信されるコントロール信号(indicate)によりバッファ105からデータフェーズ信号を送信する期間と、DRAMからデータフェーズ信号を送信する期間が切り替えるタイミングが示されている。図示された例では、両期間が交互に切り替えられている。

【0261】

図63には、初期化時にはDLLにlock onさせるためindicateの切り替え期間を長くして、通常動作時には微調整のため切り替え期間を初期化時より短くする場合が示されている。このように、バッファ105は初期化時に切り替え期間を長くしてDLLにlock onさせることができ、通常動作時には切り替え期間を初期化時より短くすることにより、動作のノイズによる変動に対応することができる。この構成では、微調整のための初期化時にはDRAMでの位相保持時間が長くなるが動作のノイズによる位相変動が小さいため問題は生じない。

【0262】

尚、上記した実施例ではグローバルクロックの周期すなわち実効的な動作周波数は800MHzとしてセットアップタイム、ホールドタイムを見積もっているが周波数が緩和されると、それに応じてセットアップタイム、ホールドタイムも緩和さ

れるためモジュール設計時に予想される最高周波数で上記位相調整を行えばよい。

【0263】

上記した実施例はメモリモジュール上にバッファを備えたメモリシステムについてのみ説明した。換言すれば、上では、メモリモジュールを増設できるメモリシステムについてのみ説明した。しかしながら、本発明はメモリモジュール上にバッファを搭載していない単一メモリモジュールをメモリコントローラによって制御する構成のメモリシステムにも同様に適用できる。このようなメモリシステムでは、前述した実施例におけるバッファの機能をメモリコントローラで行えば良い。

【0264】

図64を参照すると、上記したメモリシステムの一例が本発明の更に別の実施例として示されている。図示されたメモリシステム1000はメモリコントローラ1011、クロック発生器102、及び、単一のモジュール1031とを備え、当該モジュール1031上には、左側に4個(1~4)、右側に5個(1'~5')のDRAM110が搭載されている。換言すれば、図示されたメモリシステムは他の図に示されたメモリシステム1000におけるバッファ105の代わりに、メモリコントローラ1031を設けられたメモリシステムと実質的に等しい。図示された例では、メモリコントローラ1031とDRAM110とは等長のデータ配線DQによって結線されており、各DRAM110におけるメモリコントローラ1011からのデータ信号DQの到着時間はほぼ同じである。

【0265】

モジュール1031上の、左側4個のDRAM110(1~4)はメモリコントローラ1011と共通のクロック配線及びコマンド・アドレス配線を介して接続されており、また、右側5個のDRAM110(1'~5')もメモリコントローラ1011と別のクロック配線及びコマンド・アドレス配線を介して共通に接続されている。即ち、左側と右側のDRAM110(1~4)と(1'~5')とは別々のクロック配線及びコマンド・アドレス配線によって接続されていることが分る。

【0266】

図示されたトポロジを備えたメモリシステムにおける遠端に配置されたDRAM110(4)及び(5')では、メモリコントローラ1011との間のクロック及びアドレス・コマンド配線の配線長と、メモリコントローラ1011との間のデータ配線DQとの間には、配線長に大きな差がある。

【0267】

このため、DRAM110(4)及び(5')におけるクロック信号(コマンド・アドレス信号)とデータ信号DQのメモリコントローラ1011からの伝播遅延差は前述したモジュール内の伝播遅延差よりも大きくなる。

【0268】

例えば、図示された例において、DRAMピッチを13mm、信号単位伝播時間 t_{PD} を14ps/mmとすると、コマンド・アドレス信号のモジュール1031上の遅延はDRAM110(4)において、728ps($13 \times 4 \times 14$)となり、他方、DRAM110(5')において、910ps($13 \times 5 \times 14$)となる。メモリコントローラ1011からモジュール1031の入力端子までのクロック及びコマンド・アドレス信号とデータ信号DQの伝播遅延が等しいものとする、上記したモジュール1031上の遅延がコマンド・アドレス信号とデータ信号DQとの間のスキュー差となる。

【0269】

本発明の第4の実施例は前述したスキュー差を前述したDPS(データ位相信号)を用いたドメインクロッシング技術を用いて処理するメモリシステム1000である。図65を参照すると、図64に示されたメモリシステム1000におけるライト動作が示されている。まず、クロック発生器102は800MHzのリファレンスクロック(即ち、システムクロック)を発生して、メモリコントローラ1011に供給する。メモリコントローラ1011は、当該リファレンスクロック(システムクロック)を1/2に分周して、400MHzのシステムクロックを発生する一方、システムクロックに整合して、ライトコマンド(WRT)を生成する。

【0270】

更に、図64に示されたメモリコントローラ1011では、クロック信号に対して90度先行してDPS(WDPS)を生成し、このWDPSはDRAM110に送信される。図65では、WDPSがDRAM110(1'~5')に送信される場合についてのみ示されている。このように、クロック信号に対して先行した位相を有するDPSを生成することにより、DRAM110におけるコマンド・アドレス信号のクロック位相からDPS即ちデータ信号DQ位相へのドメインクロッシングのためのセットアップ時間、ホールド時間に共にマージンを確保することができる。即ち、クロック信号に対して位相シフトしたDPSを使用することにより、ドメインクロッシングのためのタイミング調整を行うことができる。

【0271】

図65において、DRAM110(1')にライトコマンド(WRT)に整合して受信されると、当該WRTは当該DRAM110(1')に受信されたDPSに寄せ変えられて、当該受信したDPSに整合したWRTがDRAM内部コマンド(DRAMinternalCommand)として生成される。この内部コマンドの生成後、DRAM110(1')では6ライトレイテンシー時間後、データ信号のライト動作が行われている。

【0272】

他方、DRAM110(5')には、DRAM110(1')よりも遅延したクロック信号及びWRTが与えられており、更に、クロック信号に対して965ps遅延してDPSも与えられている。この状態で、DRAM110(5')では、WRTをDPSに整合して取り込み、内部コマンド(DRAMinternalCommand)として生成する。図65からも明らかな通り、上記したドメインクロッシングを行うことにより、DRAM110(1')及び(5')において、十分なセットアップ時間、ホールド時間が確保されていることが分かる。

【0273】

図66を参照すると、図64に示されたメモリシステム1000におけるリード動作が示されている。メモリコントローラ(MC)1011は、ライト動作と

同様に、リードコマンド (RED) を 400MHz のクロック信号に整合して生成する。また、メモリコントローラ (MC) 1101 はクロック信号に対して 90 度先行する位相を備えた DPS (RDPS) をも生成する。

【0274】

メモリコントローラ 1011 からのクロック信号 (CLK) 及びリードコマンド (RED) は互いに異なる伝播遅延時間後、それぞれ DRAM110 (1' ~ 5') に到着し、他方、当該 DPS は等長のデータ配線を介して実質上同じタイミングで DRAM110 (1' ~ 5') に到着する。

【0275】

遠隔 DRAM110 (5') を例にとって説明すると、当該 DRAM110 (5') はクロック信号に整合してリードコマンド (RED) を受信すると共に、DPS を受信する。当該 DPS は他の DRAM110 に与えられる DPS と同様に、メモリコントローラ (MC) で発生されてから、700ps の遅延時間後、遠隔 DRAM110 (5') に供給される。クロック信号に整合して受信された RED は遠隔 DRAM110 (5') において、当該遠隔 DRAM110 (5') に受信された DPS に乗せかえられて、内部コマンド信号 (DRAM Internal Command) として生成される。このように、クロック信号のタイミングから DPS のタイミングにドメインクロッシングが行われている。

【0276】

一方、図 64 に示されたメモリシステム 1000 では、各 DRAM110 におけるメモリコントローラ 1011 からのデータ信号 DQ の到着時間はほぼ同じである。しかし、メモリコントローラ 1011 では、各 DRAM110 から受信したデータ信号 DQ がどのリードコマンド (RED) に対応するデータ信号 DQ であるかを識別する必要がある。このため、メモリコントローラ 1011 は、DRAM110 から DPS を受信し、当該受信 DPS のタイミングをメモリコントローラ (MC) の WDPS のタイミングに乗せかえ、即ち、ドメインクロッシングを行う。メモリコントローラ (MC) 1011 には、DRAM110 から読み出されたデータ信号 DQ が DRAM110 からの DPS (R) に整合して受信され、当該データ信号 DQ がメモリコントローラ (MC) 1011 の DPS (W) の

タイミングに乘せかえられることになる。即ち、メモリコントローラ (MC) 1011で、DPS (R) の位相で受信されたデータ信号DQはDPS (W) の位相、即ち、クロック信号の位相に戻されることになる。

【0277】

したがって、メモリコントローラ (MC) 1011では、リードコマンド (RED) 発行からのクロック数をカウントすることにより、どのリードコマンド (RED) に対応するデータ信号DQであるかを識別することができる。

【0278】

尚、図66では、メモリコントローラ (MC) 1011とモジュール1031との間隔を100mmであるものと仮定している。この場合、メモリコントローラ (MC) 1011において、DPS (W) を送信してから、対応する位相のDPS (R) を受信するまでの遅延時間は1400psであり、この場合におけるドメインクロッシングのためのセットアップ時間及びホールド時間はそれぞれ1400ps及び1100psとなり、十分なタイミングマージンが得られる。

【0279】

図66では、メモリコントローラ (MC) 1011からDPS (W) をDRAM110に送信し、DRAM110において、受信したDPS (W) と同一位相でDPS (R) をメモリコントローラ (MC) 1011に送信している。

【0280】

したがって、この実施例では、同一のDPS配線上に双方向にDPSを伝送する方式を採用していることが分る。このため、実際には、メモリコントローラ (MC) 1011とDRAM110においてDPSを交互に送信し、当該受信したDPSに基づいて内部クロック信号を再生する構成が採用されている。

【0281】

また、図64に示された実施例では、メモリコントローラ (MC) 1011からメモリモジュール1031に対して2組のコマンド・アドレス信号及びクロック信号が生成されているが、1組のコマンド・アドレス信号及びクロック信号をメモリコントローラ (MC) 1011から生成することによっても、同様な動作を行うことができる。

【0282】

図67を参照すると、本発明の第5の実施例に係るメモリシステム1000は図64と同様に、モジュール1031上に9個のDRAM110A(1)～(9)を搭載した構成を備え、これら9個のDRAM110には、メモリコントローラ1011からモジュール1031の左端を通して、全てのDRAM110に共通のコマンド・アドレス信号及びクロック信号が供給されている。即ち、9個のDRAM110は、コマンド・アドレス信号及びクロック信号を共有している。この場合、図64と同一の伝播遅延が生じるものとする、最遠端のDRAM110(9)では、データ信号DQに対して、コマンド・アドレス信号及びクロック信号に、 $(728 + 910) \text{ ps} (= 1638 \text{ ps})$ の伝播遅延差が生じる。このように大きな伝播遅延差を2分周したクロック信号の周期 2500 ps で、ドメインクロッシングを行ったとしても、十分なドメインクロッシングのためのタイミングマージンを確保することは難しい。したがって、十分なドメインクロッシングのためのタイミングマージンを確保するためには、2分周よりも長い周期を有する分周クロックを使用することが考えられる。

【0283】

また、2分周のクロックをそのまま使用してドメインクロッシングに必要な十分なタイムマージンを確保する他の手法として、図67に示すように、モジュール1031上にDRAM110を2つのグループ(ここでは、第1及び第2のDQチャンネルと呼ぶ)に分割することが考えられる。この場合、メモリコントローラ(MC)1011では、第1及び第2のDQチャンネルに与えられるDPS(W)の位相をクロック信号に対して互いにシフトさせる。即ち、図示されたメモリコントローラ(MC)1011では、DPS(W)のクロック信号に対する位相オフセット値を第1及び第2のDQチャンネルに適した値にする。

【0284】

図示された例では、第1のDQチャンネルに対しては、DPS(W)の位相をクロック信号に対して90度先行させ、第2のDQチャンネルに対しては、DPS(W)をクロック信号と同位相で送信する。

【0285】

図68を参照して、第1のDQチャンネルに属するDRAM110(1)～(4)におけるライト動作を説明する。まず、メモリコントローラ(MC)1011はクロック発生器102によって発生される800MHzのリファレンスクロック信号を2分周することによって、400MHzのクロック信号を生成し、このクロック信号は第1のDQチャンネルに属するDRAM110(1)～(4)に対してクロック配線を介して供給されている。また、メモリコントローラ(MC)1011は更に当該クロック信号に整合してライトコマンドWRTをコマンド・アドレス配線上に供給している。

【0286】

一方、第1のDQチャンネルのDRAM110(1)～(4)には、100mm程度の長さを有するDPS配線を介して、DPS(W)が供給されている。この場合、図68からも明らかな通り、DSP(W)の位相はクロック信号の位相に対して90度(即ち、625ps)先行している。

【0287】

メモリコントローラ(MC)1011で生成されたDPS(W)はDPS配線を介して第1のDQチャンネルのDRAM110(1)～(4)に到着する。一方、クロック信号及びライトコマンド(WRT)はクロック配線及びコマンド・アドレス配線を介して、第1のDQチャンネルのDRAM110(1)～(4)に到着する。クロック配線及びコマンド・アドレス配線はDPS配線に比較して長いから、クロック信号及びライトコマンド(WRT)の伝播遅延時間が長くなり、DRAM110(1)におけるDPSとライトコマンド(WRT)との伝播遅延時間差は807psに広がっている。DRAM110(1)では、WRTを受信した後、1693ps経過した時点でDRAM内部コマンド(Internal Command)を生成している。このことは、DRAM110(1)では、受信したDPSのタイミングにクロック信号に整合したライトコマンド(WRT)を乗せかえていることを示している。

【0288】

また、第1のDQチャンネルに属するDRAM110のうち、遠端に位置するDRAM110(4)におけるDPS(W)とクロック信号との伝播遅延時間差は

1353psとなる。この場合にも、DPSのタイミングにライトコマンド(WRT)を乗せかえることにより、1147psのタイムマージンを確保できる。このタイムマージンにより、ドメインクロッシングに必要なセットアップ及びホールド時間を確保できる。

【0289】

図69を参照すると、第1のDQチャンネルに属するDRAM110(1)～(4)におけるリード動作が示されている。この例においても、リードコマンド(RED)はメモリコントローラ(MC)1011からクロック信号に整合してDRAM110(1)～(4)に供給され、このクロック信号に90度先行する形で、DPSが生成されていることはライトコマンドの場合と同様である。ここで、メモリコントローラ(MC)1011とモジュール1031間の距離が100mmであるとし、信号単位伝播時間tPDを7ps/mmであると仮定すると、DPSは700ps後、DRAM110(ここでは、(4))に到達する。DRAM110(4)は、リードコマンド(RED)をDPSに乗せかえることにより、内部リードコマンド(Internal Command)を生成する一方、メモリコントローラ(MC)1011にDPS(R)を送信し、当該DPS(R)はDPS(W)の生成から、1400ps経過後、メモリコントローラ(MC)1011で受信される。DRAM110(4)からのデータ信号DQはDPS(R)に整合したタイミングでメモリコントローラ(MC)1011に受信される。

【0290】

メモリコントローラ(MC)1011は受信したDPS(R)のタイミングをDPS(W)のタイミングにドメインクロッシングすることにより、データ信号DQのタイミングをDPS(W)のタイミングに乗せかえる。これによって、リード動作時においても、(1400+1100)即ち、2500psのタイムマージンが得られる。

【0291】

次に、図70を参照して、図67に示されたメモリシステム1000における第2のDQチャンネルに属するDRAM110(5)～(9)のライト動作を説明

する。第2のDQチャネルに対して、図70からも明らかな通り、メモリコントローラ(MC)1011は、400MHzのクロック信号及び当該クロック信号に整合したライトコマンドWRTを生成すると共に、クロック信号と同一位相のDPS(W)を生成する。このように、この実施例では、第2のDQチャネルに属するDRAM110(5)～(9)に対するDPS(W)を第1のDQチャネルに属するDRAM110(1)～(4)に対するDPS(W)に対して、クロック信号の90度分に相当するオフセット値を設定し、これによって、クロック信号とデータ信号DQとの間に大きな伝播遅延差があっても、ドメインクロッシングが行えるようにしている。

【0292】

具体的に説明すると、メモリコントローラ(MC)1011からのクロック信号(CLK)及びWRTは長い配線を介してそれぞれ第2のDQチャネルのDRAM110(5)～(9)に到達する一方、DPS(W)は比較的短いDPS配線を介して各DRAM110(5)～(9)に与えられる。図70には、DRAM110(5)及び(9)の動作だけが示されている。

【0293】

図67からも明らかなように、DPS(W)はクロック信号及びWRTに比較して、910psだけ早くDRAM110(5)に到着し、1590ps後、DRAM110(5)で受信されたDPS(W)に寄せかえられる。したがって、DRAM110(5)では、ドメインクロッシングに必要なセットアップ、ホールド時間を確保することができる。

【0294】

他方、第2のDQチャネルの最遠端DRAM110(9)には、図67からも明らかな通り、クロック信号及びWRTはメモリコントローラ(MC)1011で発生された後、DPS(W)よりも1638psだけ遅く、DRAM110(9)に到着する。最遠端DRAM110(9)では、受信したWRTを受信したDPS(W)に寄せかえることにより、内部コマンド(Internal Command)を生成する。このとき、WRTとDPS(W)との間には、862psのタイムマージンがあるから、ドメインクロッシングに必要なセットアップ、

ホールド時間が確保されていることが分る。

【0295】

図71を参照して、第2のDQチャネルのDRAM110(5)～(9)におけるリード動作を説明する。この場合にも、クロック信号及びリードコマンド(RED)はDPS(W)と同一位相でメモリコントローラ(MC)1011からDRAM110(5)～(9)に送信される。

【0296】

第2のDQチャネルのDRAM110のうち、最遠端DRAM110(9)に、WRTの場合と同様に、DPS(W)はREDよりも1638ps早く到達し、この結果、REDはクロック信号のタイミングから当該DRAM110(9)で受信したDPS(W)のタイミングに寄せかえられる。

【0297】

一方、メモリコントローラ(MC)1011でDPS(W)が生成されると、当該DPS(W)は700ps経過後、DRAM110(9)に到着し、当該受信したDPS(W)はそのままDRAM110(9)からメモリコントローラ(MC)1011にDPS(R)として送信され、1400psだけ遅延したDPS(R)がメモリコントローラ(MC)1011で生成される。

【0298】

DRAM110(9)からのデータ信号DQは当該DPS(R)のタイミングで、メモリコントローラ(MC)1011に送信される。メモリコントローラ(MC)1011では、図71に示すように、DPS(R)のタイミングで送られてくるデータ信号DQをメモリコントローラ(MC)1011内のDPS(W)のタイミングに乗りかえる。このときのタイムマージンは図示されているように、2500psであり、ドメインクロッシングを行うに十分なタイムマージンが確保できることが分る。

【0299】

このように、リードデータ信号DQはメモリコントローラ(MC)1011において、チャネル間でオフセット分の時間差が生じるが、DPS(R)からクロック位相へのドメインクロッシングに必要なタイムマージンは充分確保されてい

る。

【0300】

前述したように、メモリコントローラ1011はクロック発生器102からのシステムクロックに応答して動作し、第1乃至第3の実施例におけるバッファと同様な動作を行うことができるから、バッファ及びメモリコントローラ1011に与えられるグローバルクロック及びシステムクロックを纏めてメインクロックと呼ぶことができる。

【0301】

【発明の効果】

本発明では、メモリコントローラと、モジュール上に、メモリ回路と共に、バッファをも搭載しておき、バッファを介して、モジュール上のメモリ回路とのデータ配線を含む配線を行うと共に、データ配線を含む配線をカスケード接続することにより、配線をモジュール毎に分岐する必要がなくなるため、インピーダンスの不整合による反射等を防止でき、高周波において高速で動作できるシステムが得られる。また、本発明によれば、メモリモジュールとバッファ間の伝送速度をバッファとメモリ回路間の伝送速度よりも速くすることにより、メモリコントローラに接続されるモジュールの数を多くすることができ、且つ、メモリ回路の書込、読出速度に依存しないシステムを構成できる。

【0302】

本発明の一実施形態では、データ配線だけでなく、クロック及びコマンド・アドレス配線をも、メモリコントローラから各モジュール上のバッファに接続することにより、モジュールに搭載された各メモリ回路とメモリコントローラとの距離をほぼ等しくすることができるため、配線毎に遅延時間が異なることによるタイミングの相違を無くすことができる。また、本発明の他の実施形態によれば、各モジュール毎に複数のバッファを設け、当該バッファをそれぞれモジュール内のメモリ回路に接続することにより、各バッファ及び配線に加わる負荷を分散できる。更に、本発明の別の実施形態によれば、同時に選択されるメモリ回路を複数のモジュールに分散して配置して、各モジュールのバッファを個別にメモリモジュールと配線することにより、バッファの数を増加させることなく、各バッファ

ァに加わる負荷を分散できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るメモリシステムを説明するためのブロック図である。

【図 2】

図 1 に示されたメモリシステムの実際の構造を説明する概略実体配線図である。

。

【図 3】

図 1 及び図 2 に示されたメモリシステムの配線をより具体的に説明する断面図である。

【図 4】

本発明の第 2 の実施形態に係るメモリシステムを示すブロック図である。

【図 5】

図 4 に示されたメモリシステムを示す概略実体配線図である。

【図 6】

本発明の第 3 の実施形態に係るメモリシステムを示すブロック図である。

【図 7】

本発明の第 3 の実施形態に係るメモリシステムの第 1 の変形例を示すブロック図である。

【図 8】

本発明の第 3 の実施形態に係るメモリシステムの第 2 の変形例を示すブロック図である。

【図 9】

本発明の第 3 の実施形態に係るメモリシステムの第 3 の変形例を示すブロック図である。

【図 1 0】

本発明の第 3 の実施形態に係るメモリシステムの第 4 の変形例を示すブロック図である。

【図 1 1】

本発明の第 1 乃至第 3 の実施形態において、メモリコントローラとバッファ間の伝送方式を説明するブロック図である。

【図 1 2】

図 1 1 に示された伝送方式の動作を説明するタイムチャートである。

【図 1 3】

図 1 1 に示された伝送方式の書込時における動作を説明するタイムチャートである。

【図 1 4】

図 1 1 に示された伝送方式の読出時における動作を説明するタイムチャートである。

【図 1 5】

図 1 1 に示された伝送方式のコマンド・アドレス信号に係る動作を説明するタイムチャートである。

【図 1 6】

本発明の第 1 乃至第 3 の実施形態に係るメモリシステムに使用されるバッファと DRAM との間の伝送方式を説明するブロック図である。

【図 1 7】

(a) 及び (b) は、それぞれ、図 1 6 の伝送方式における書込及び読出動作を説明するタイムチャートである。

【図 1 8】

図 1 6 及び図 1 7 を参照して説明した伝送方式をより高速化できる本発明の伝送方式を説明するブロック図である。

【図 1 9】

図 1 8 の伝送方式を採用したバッファと DRAM のドライバー部分の構成を示す回路図である。

【図 2 0】

図 1 8 の伝送方式を採用したバッファと DRAM のドライバー部分の他の構成例を示す回路図である。

【図 2 1】

(a) 及び (b) は、それぞれ、図 2 0 の伝送方式を採用した場合における書込及び読出動作を説明するタイムチャートである。

【図 2 2】

図 1 8 の伝送方式における信号のタイミング関係を概略的に説明するタイムチャートである。

【図 2 3】

図 1 8 に示された伝送方式を実現できる D R A M の構成を説明するブロック図である。

【図 2 4】

図 1 8 に示された伝送方式を実現できるバッファの構成を説明するブロック図である。

【図 2 5】

図 2 3 に示された D R A M における動作開始時のタイミング関係を説明するタイミングチャートである。

【図 2 6】

図 2 3 に示された D R A M における通常動作時のタイミング関係を説明するタイミングチャートである。

【図 2 7】

図 2 4 に示されたバッファの読出時におけるタイミング関係を説明するタイムチャートである。

【図 2 8】

本発明に係る伝送方式を実現できる D R A M の例を示すブロック図である。

【図 2 9】

図 2 8 に示された D R A M との間で信号の送受を行うことができるバッファのブロック図である。

【図 3 0】

図 2 8 に示された D R A M の動作を説明するためのタイムチャートである。

【図 3 1】

バッファとDRAM間の伝送方式の変形例を説明するブロック図である。

【図 3 2】

図 3 1 に示されたDRAMの読出時の動作を説明するタイミングチャートである。

【図 3 3】

図 3 1 に示されたDRAMの書込時における動作を説明するタイミングチャートである。

【図 3 4】

図 3 1 に示されたDRAMの構成を具体的に説明するブロック図である。

【図 3 5】

図 3 1 に示されたバッファの構成を具体的に説明するブロック図である。

【図 3 6】

図 3 4 及び図 3 5 のDRAM及びバッファにおけるタイミング関係を説明するタイミングチャートである。

【図 3 7】

図 3 4 に示されたDRAMの動作をより具体的に説明するタイミングチャートである。

【図 3 8】

図 3 5 に示されたバッファの動作を説明するタイミングチャートである。

【図 3 9】

図 3 1 に示された伝送方式に適用できるDRAMの他の例を示すブロック図である。

【図 4 0】

図 3 9 に示されたDRAMと協働できるバッファの例を示すブロック図である。

【図 4 1】

本発明の実施例に係るメモリモジュールを説明するためのブロック図である。

【図 4 2】

本発明の第 1 の実施例に係るメモリモジュールに使用されるDRAMを説明するブ

ロック図である。

【図 4 3】

図 4 2 に示された DRAM 内のドメインクロッシング回路を具体的に説明するブロック図である。

【図 4 4】

図 4 3 に示された DRAM と共に第 1 の実施例に係るメモリモジュールを構成するバッファを説明するブロック図である。

【図 4 5】

図 4 4 のバッファ内のドメインクロッシング回路を示すブロック図である。

【図 4 6】

図 4 2 及び 4 4 に示されたメモリシステムに使用されるバッファ及び近端 DRAM のライト動作を説明するタイミングである。

【図 4 7】

図 4 2 及び 4 4 に示されたメモリシステムに使用されるバッファ及び遠端 DRAM のライト動作を説明するタイミングである。

【図 4 8】

遠端 DRAM とバッファ間のリード動作を説明するタイムチャートである。

【図 4 9】

リード動作時におけるバッファの動作を説明するためのタイミングチャートである。

【図 5 0】

近端及び遠端 DRAM からの読出データを読み出した場合におけるバッファの動作を説明するタイミングチャートである。

【図 5 1】

本発明の第 2 の実施例に係るメモリシステムに使用される DRAM を示すブロック図である。

【図 5 2】

図 5 1 に示された DRAM 内で使用されているドメインクロッシング回路の具体的な構成を示すブロック図である。

【図 5 3】

図 5 1 に示された DRAM と共に、本発明の第 2 の実施例を構成するバッファを示すブロック図である。

【図 5 4】

図 5 3 に示されたバッファ内で使用されるドメインクロッシング回路の具体的な構成を示すブロック図である。

【図 5 5】

第 2 の実施例におけるバッファと近端 DRAM との間のライト動作を説明するタイミングチャートである。

【図 5 6】

第 2 の実施例におけるバッファと遠端 DRAM との間のライト動作を説明するタイミングチャートである。

【図 5 7】

第 2 の実施例におけるバッファと遠端 DRAM との間のリード動作を説明するタイミングチャートである。

【図 5 8】

近端及び遠端 DRAM からの読出データ信号を処理するバッファの動作を説明するタイミングチャートである。

【図 5 9】

本発明の第 3 の実施例に係るメモリシステムを説明するブロック図である。

【図 6 0】

図 5 9 に示された実施例に使用される DRAM の構成を示すブロック図である。

【図 6 1】

第 3 の実施例に使用されるバッファの構成を示すブロック図である。

【図 6 2】

第 3 の実施例における動作を説明するタイミングチャートである。

【図 6 3】

第 3 の実施例における DRAM 初期化時の動作と通常動作時における動作とを互いに異ならせた場合を説明するタイミングチャートである。

【図 6 4】

本発明の第 4 の実施例に係るメモリシステムを説明するブロック図である。

【図 6 5】

図 6 4 に示されたメモリシステムにおけるライト動作を説明するタイムチャートである。

【図 6 6】

図 6 4 に示されたメモリシステムにおけるリード動作を説明するタイムチャートである。

【図 6 7】

本発明の第 5 の実施例に係るメモリシステムを説明するブロック図である。

【図 6 8】

図 6 7 に示されたメモリシステムの第 1 の D Q チャンネル部分のライト動作を説明するタイムチャートである。

【図 6 9】

第 1 の D Q チャンネル部分のリード動作を説明するタイムチャートである。

【図 7 0】

図 6 7 に示されたメモリシステムの第 2 の D Q チャンネル部分のライト動作を説明するタイムチャートである。

【図 7 1】

第 2 の D Q チャンネル部分のリード動作を説明するタイムチャートである。

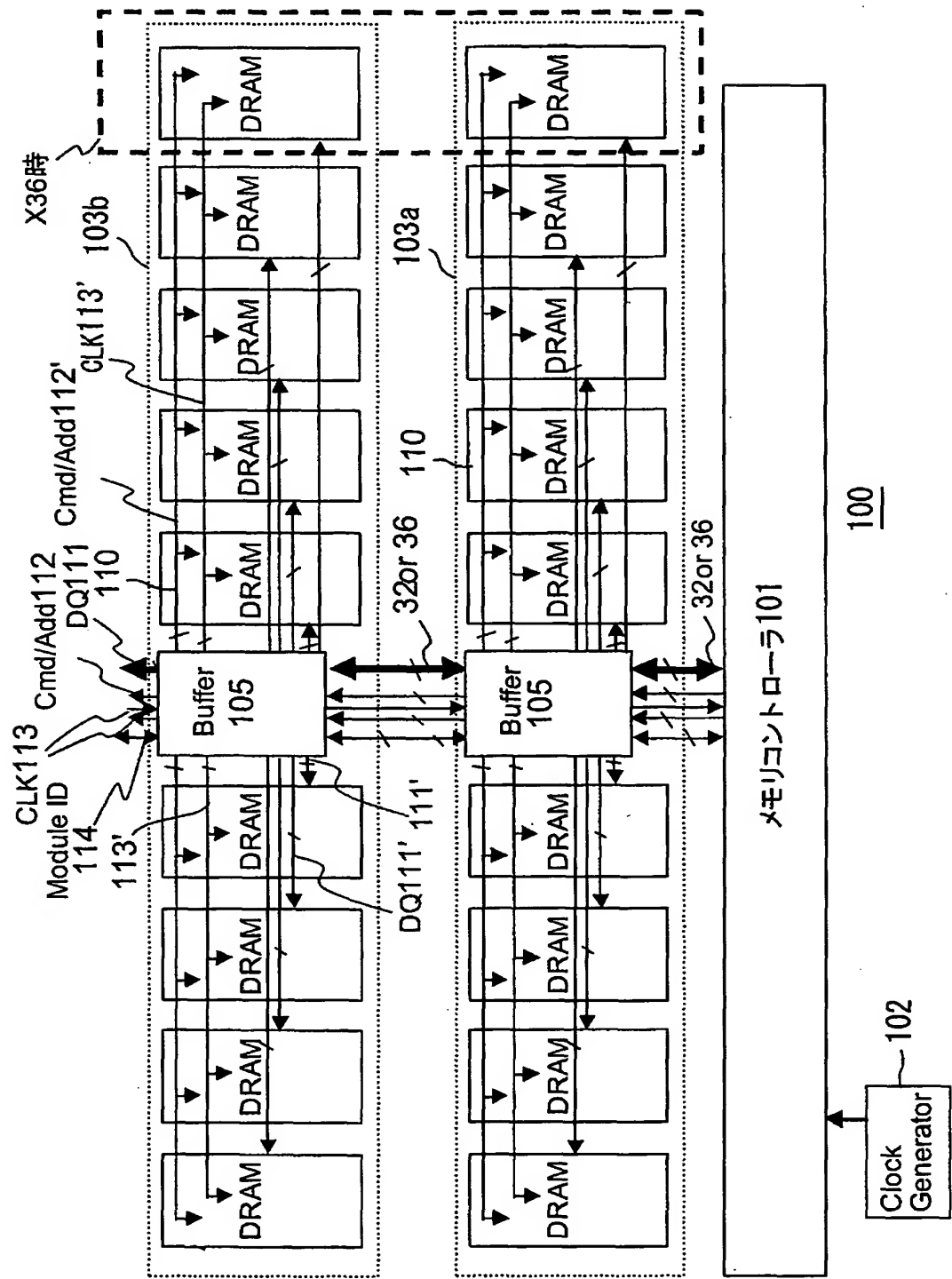
【符号の説明】

100	マザーボード
101	メモリコントローラ
102	クロック発生器
103	モジュール
105	バッファ
110	DRAM
111	データ配線
112	コマンド・アドレス配線

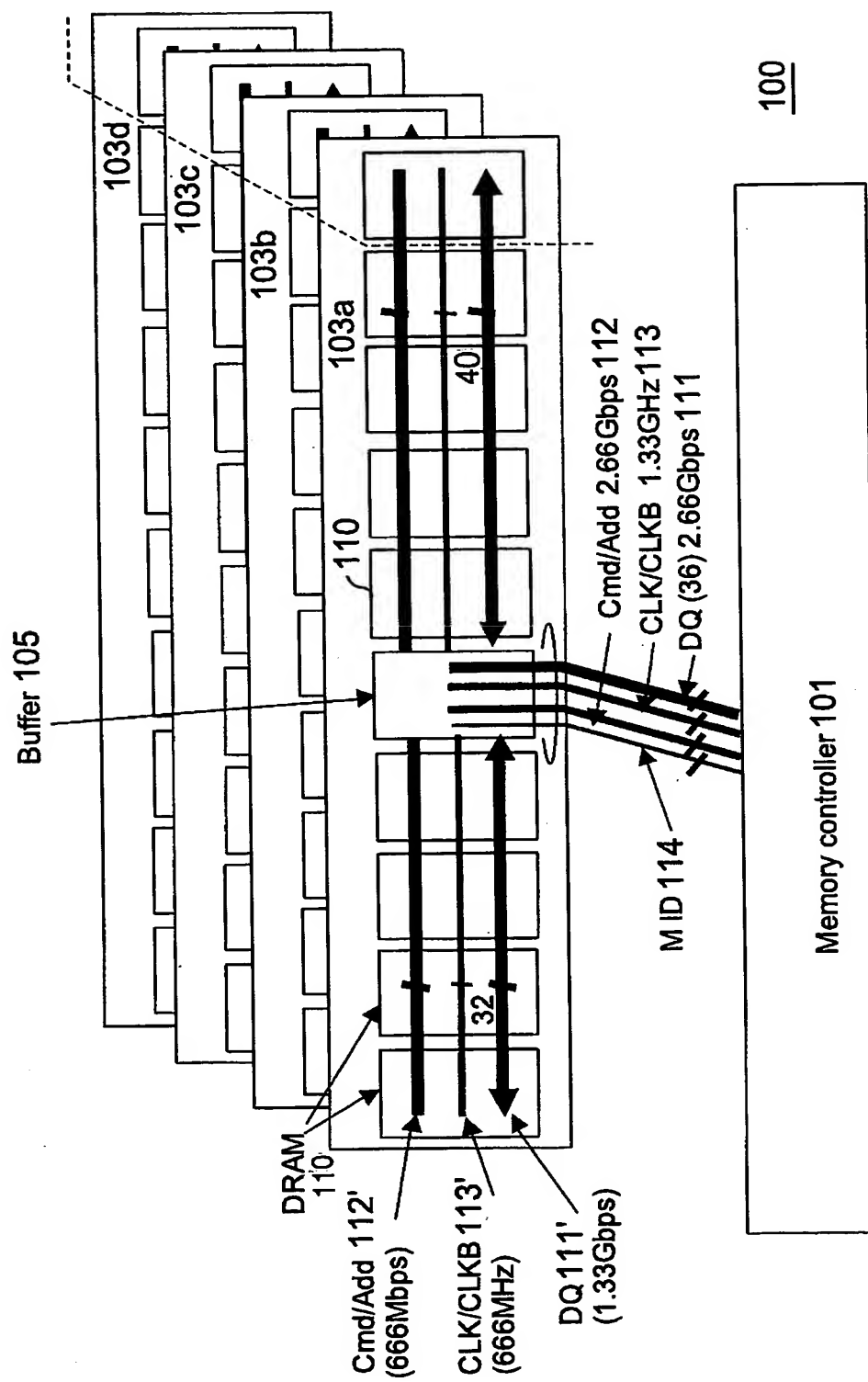
1 1 3	クロック配線
1 1 1'	内部データ配線
1 1 2'	内部コマンド・アドレス配線
1 1 3'	内部クロック配線

【書類名】 図面

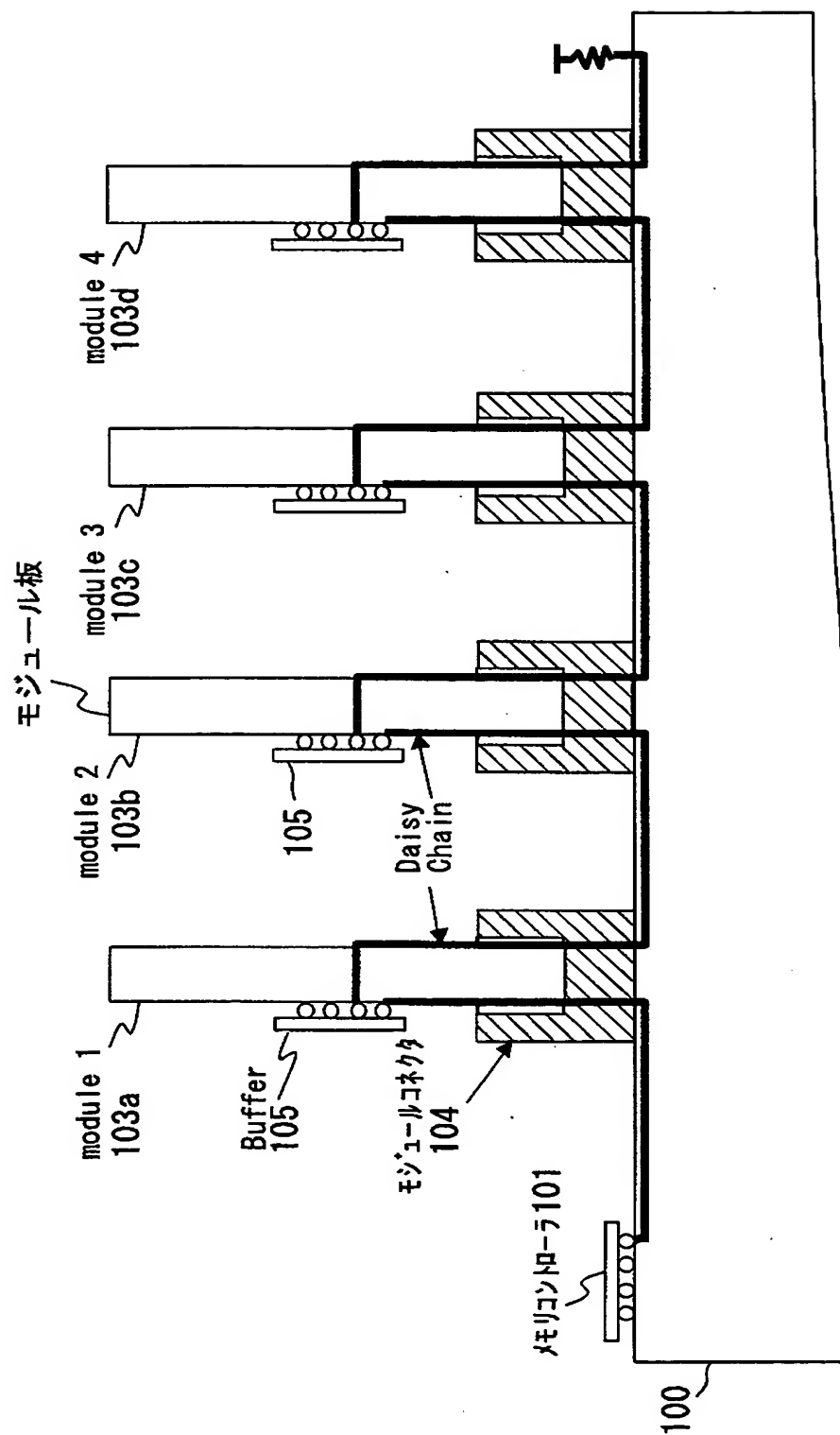
【図 1】



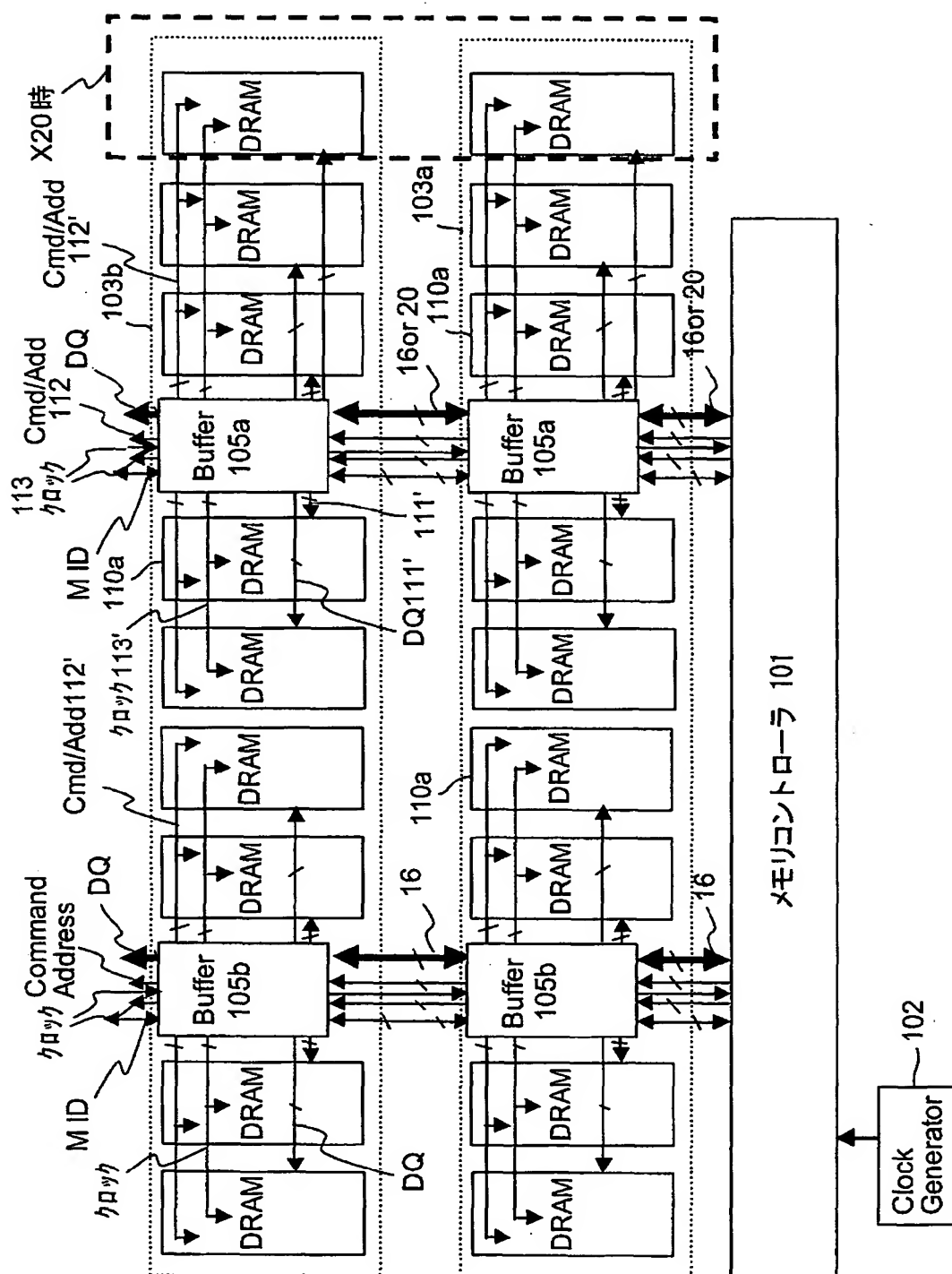
【図 2】



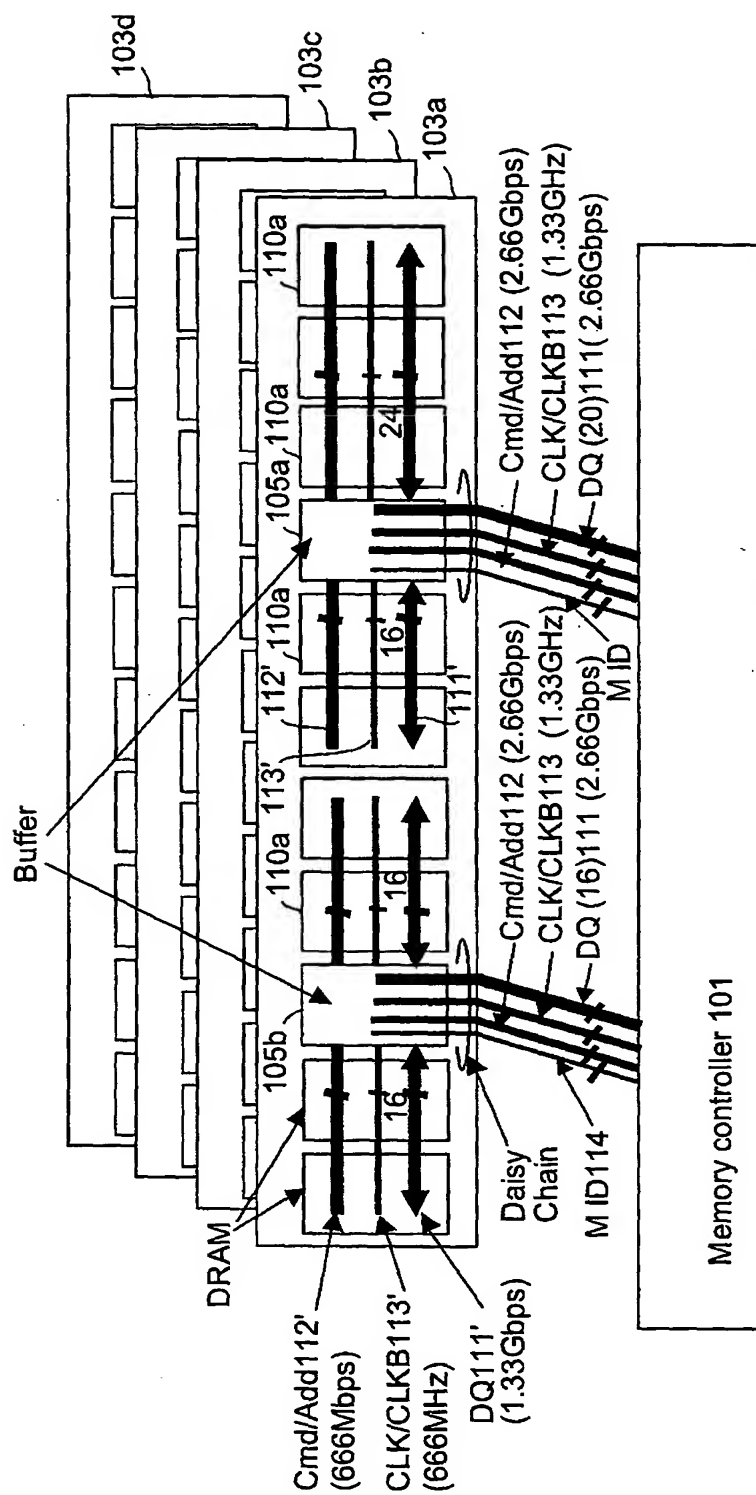
【図 3】



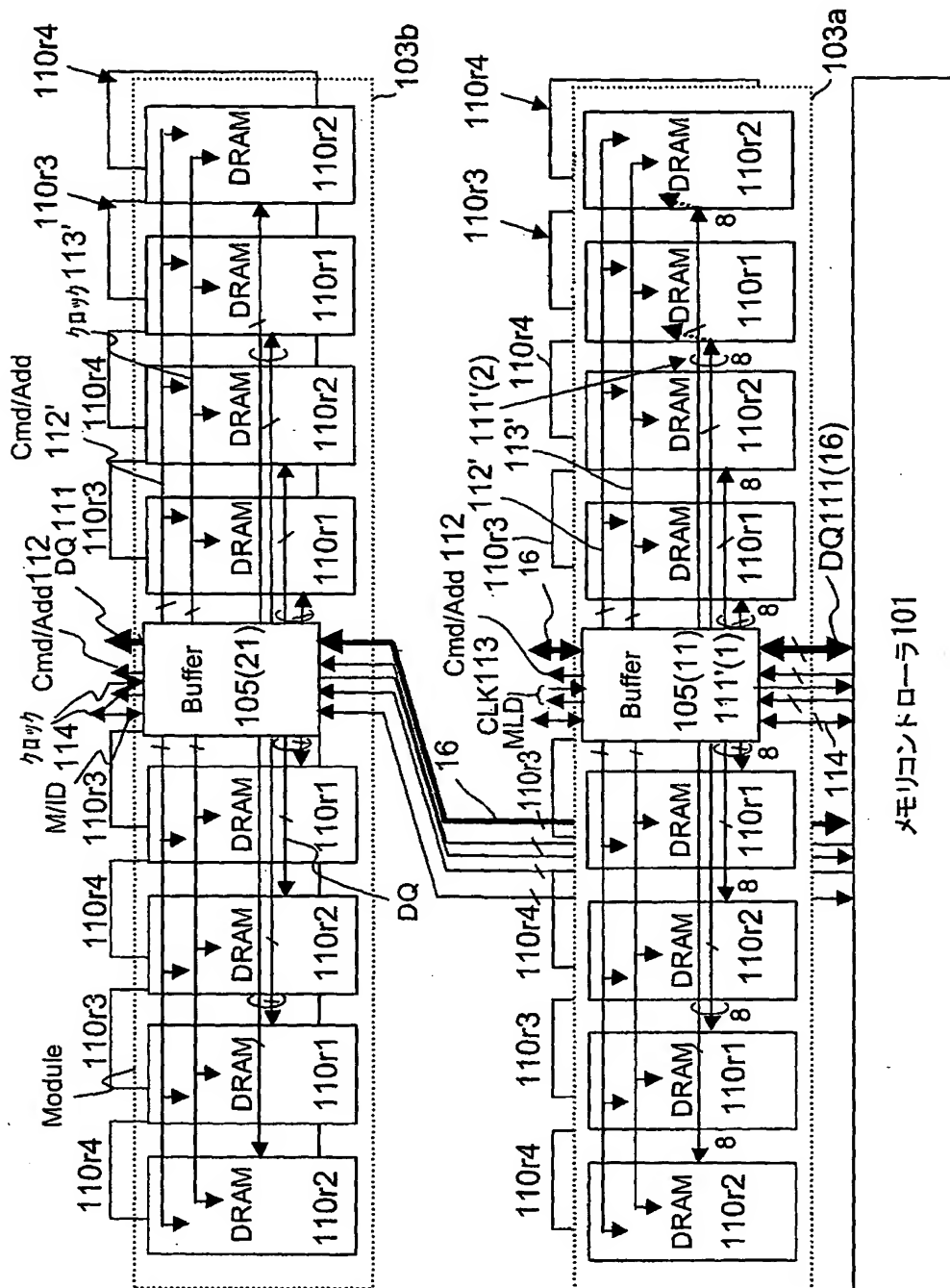
【図 4】



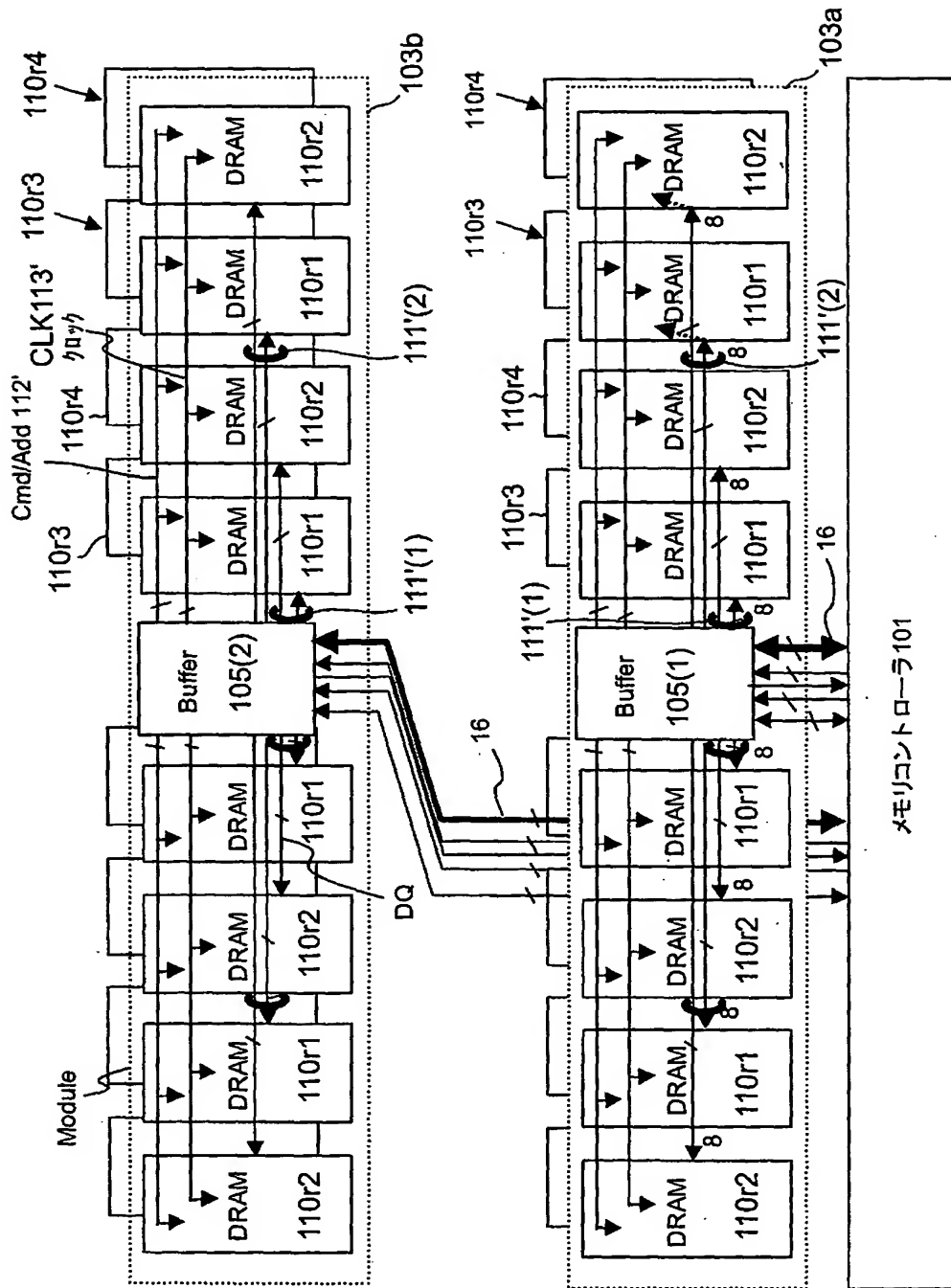
【図 5】



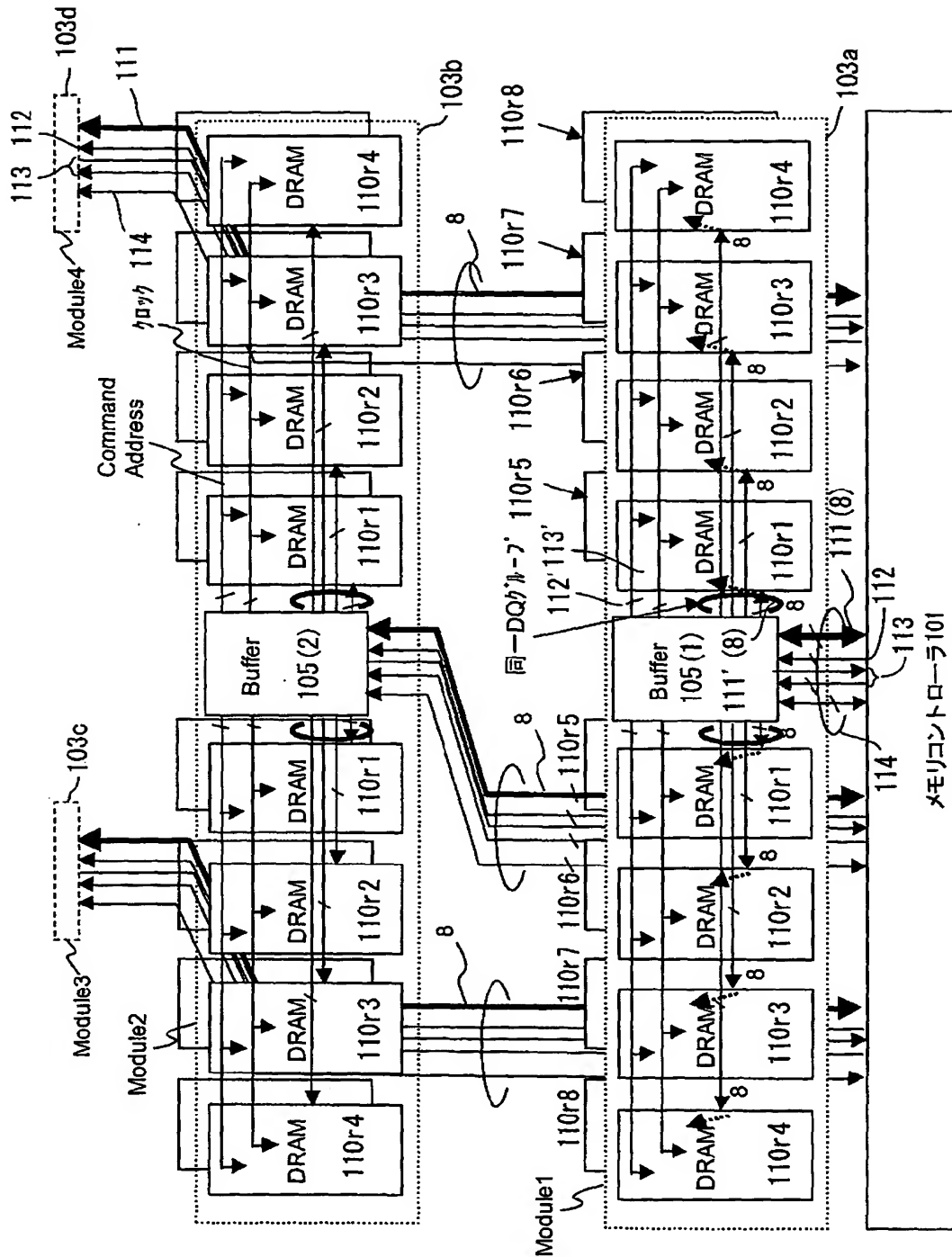
【図6】



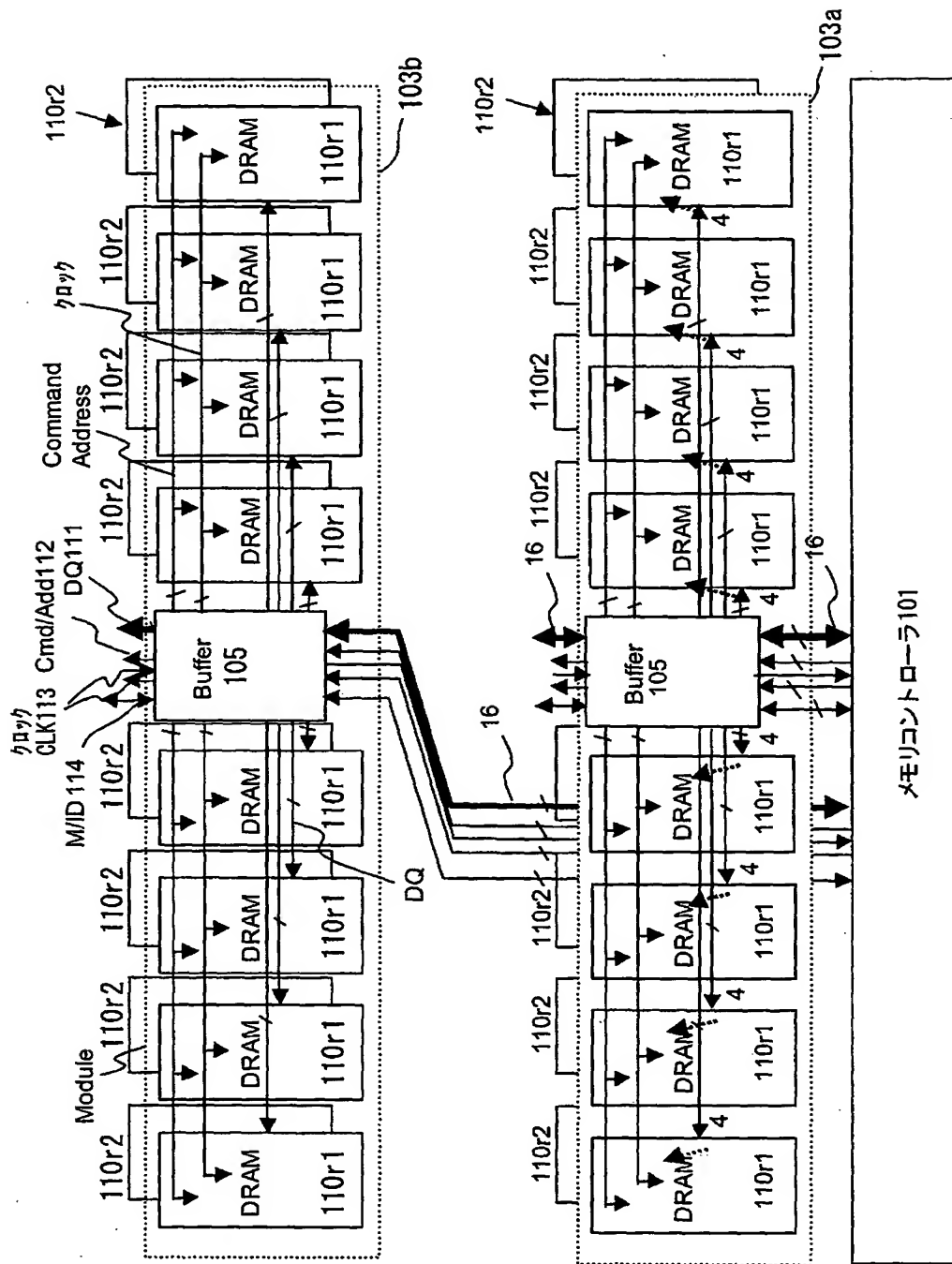
【図 7】



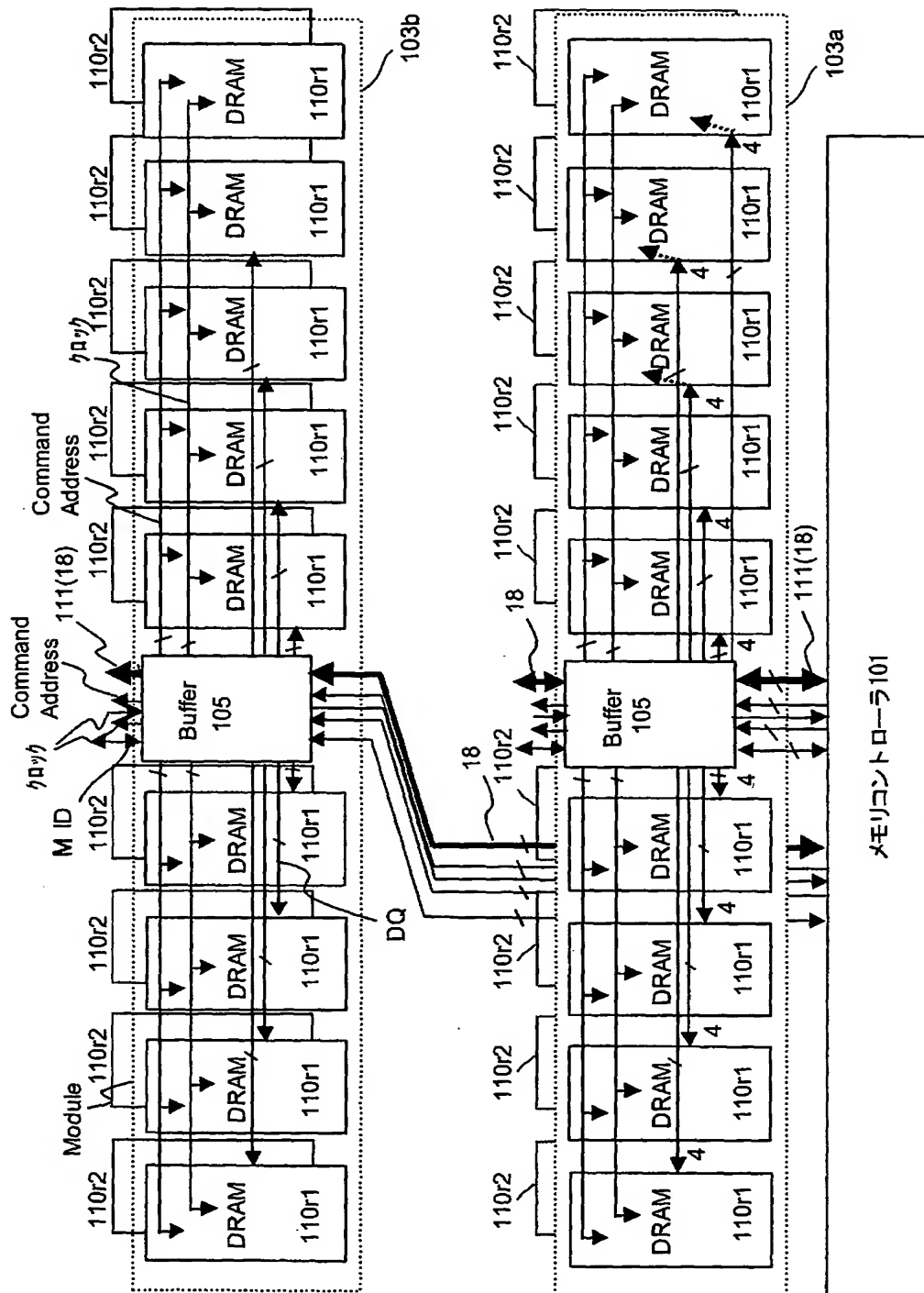
【図8】



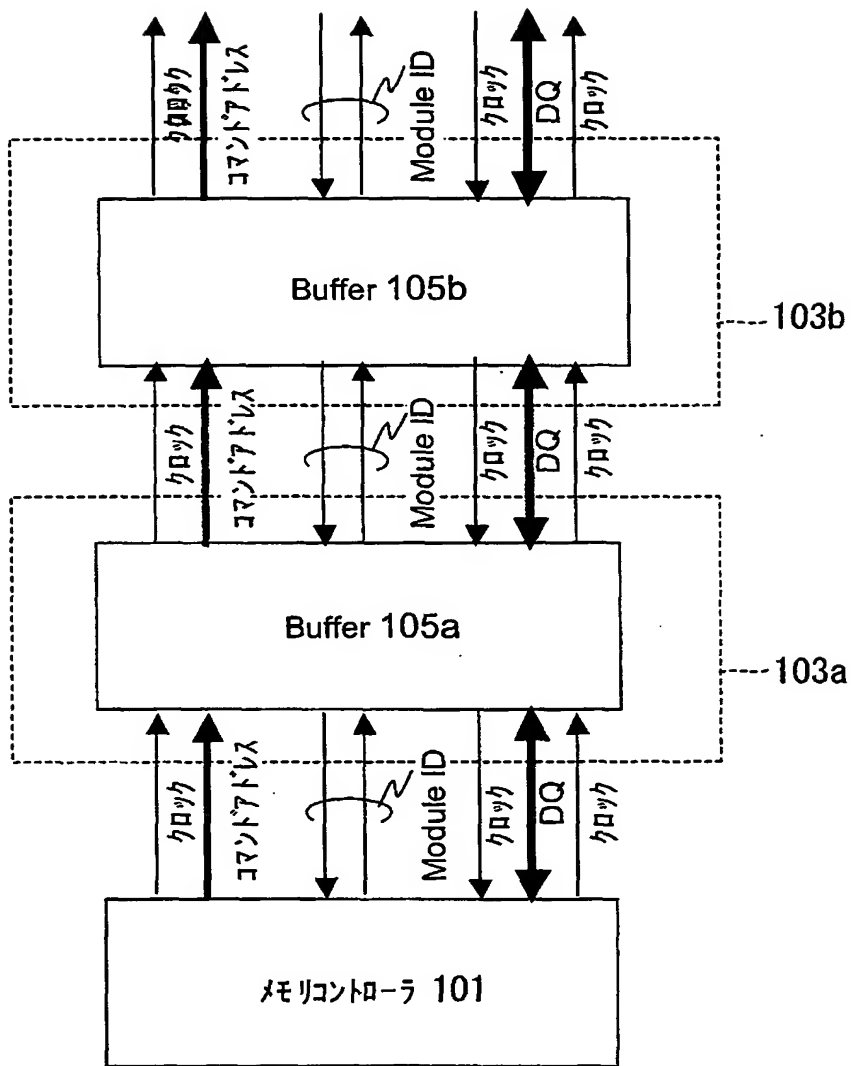
【図9】



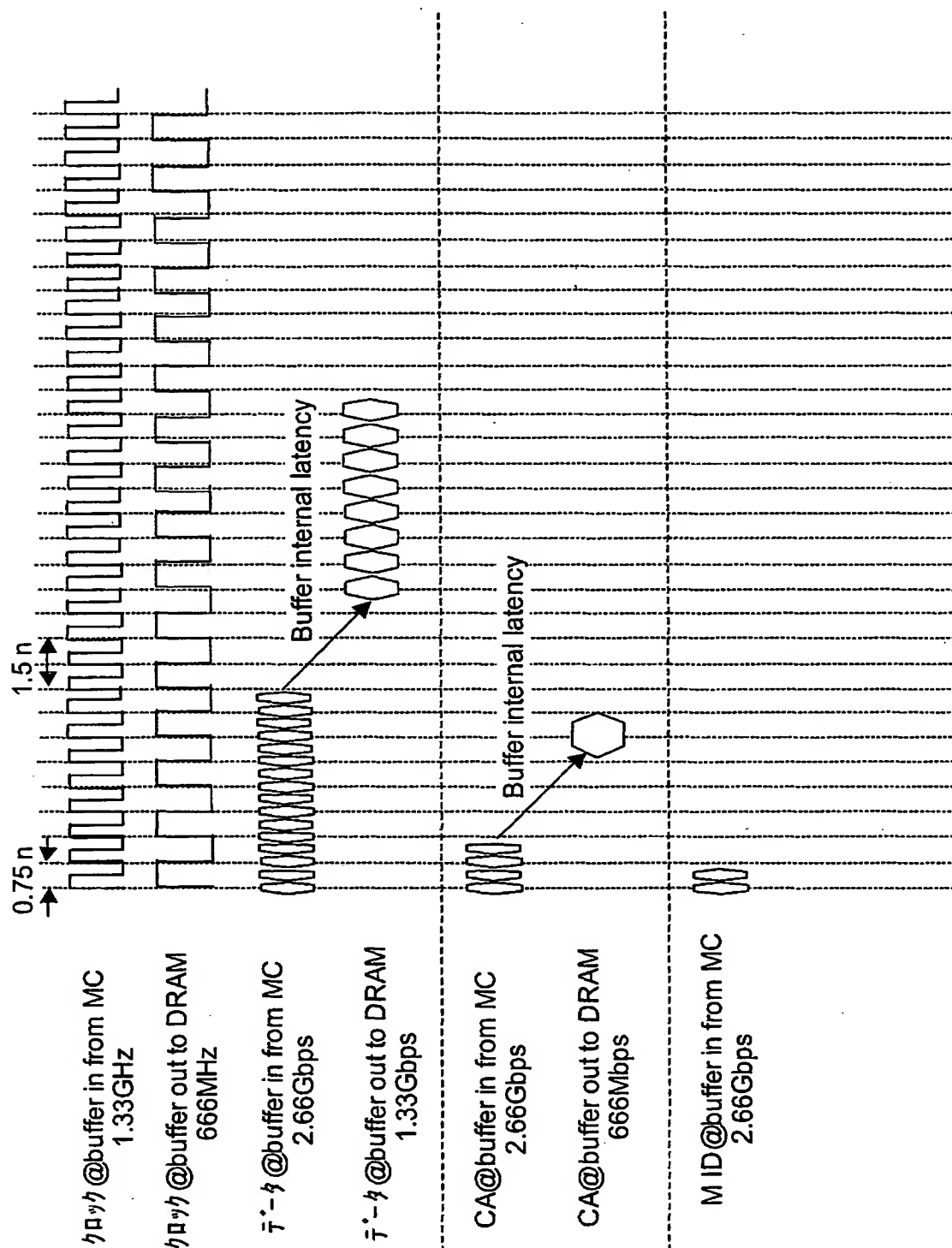
【図 10】



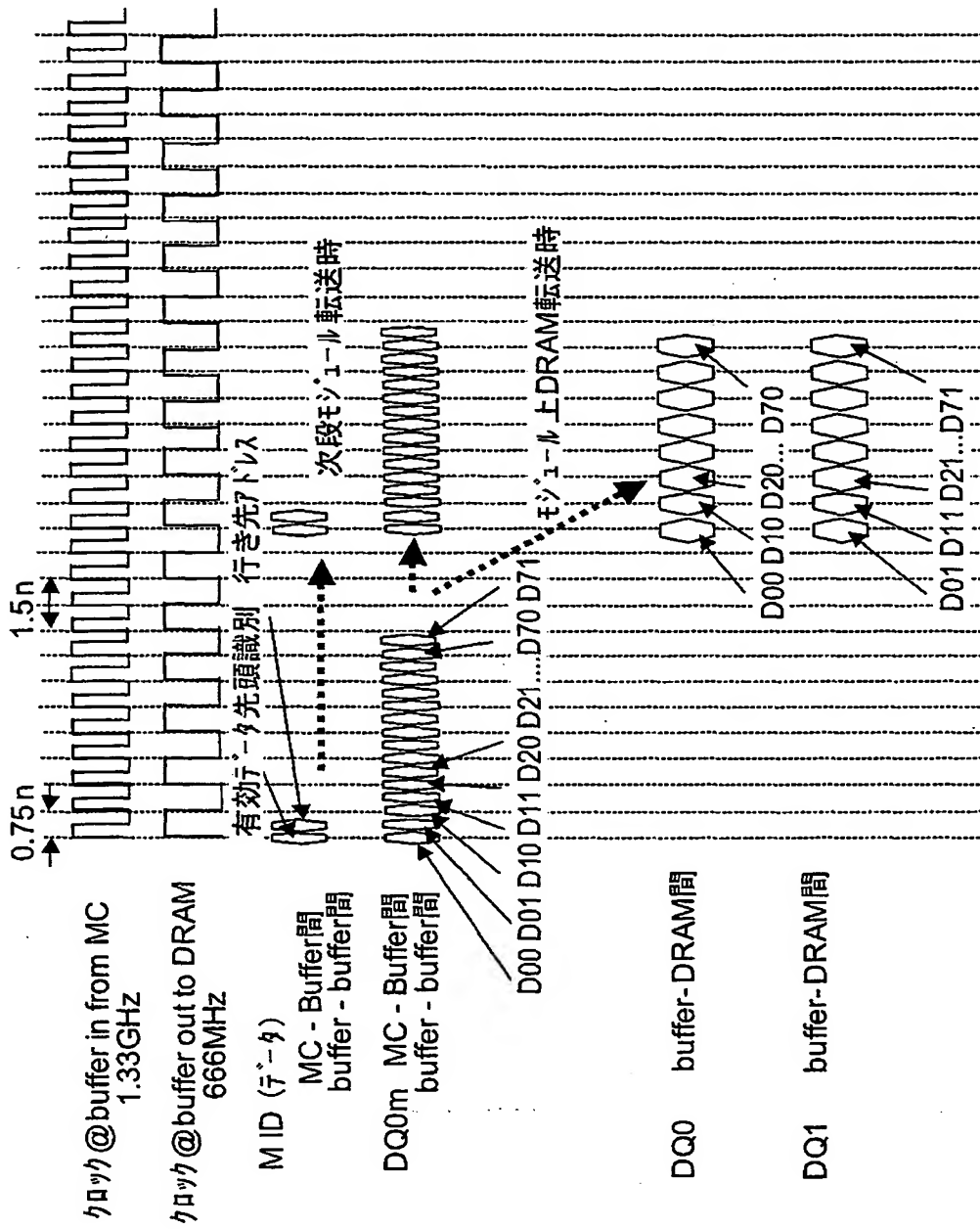
【図 11】



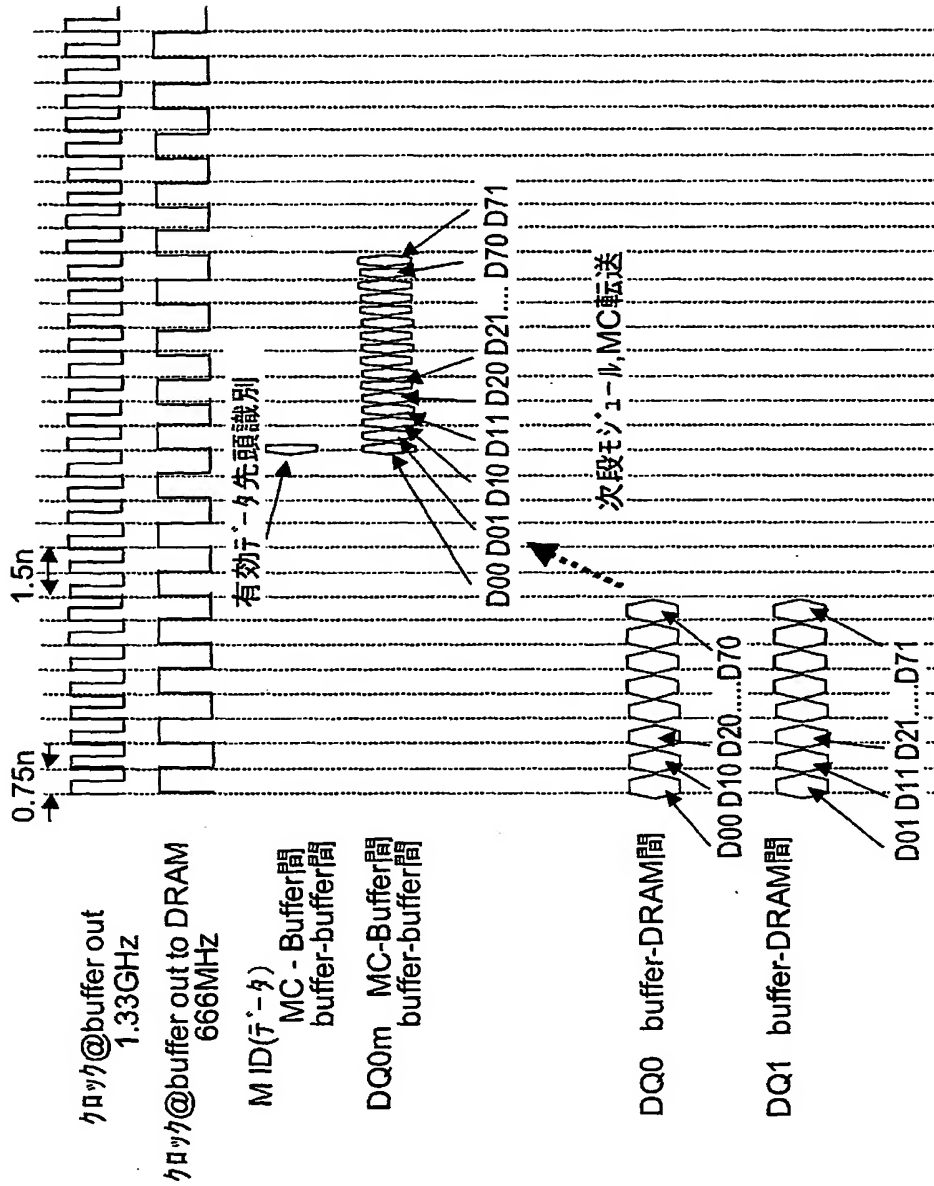
【図 12】



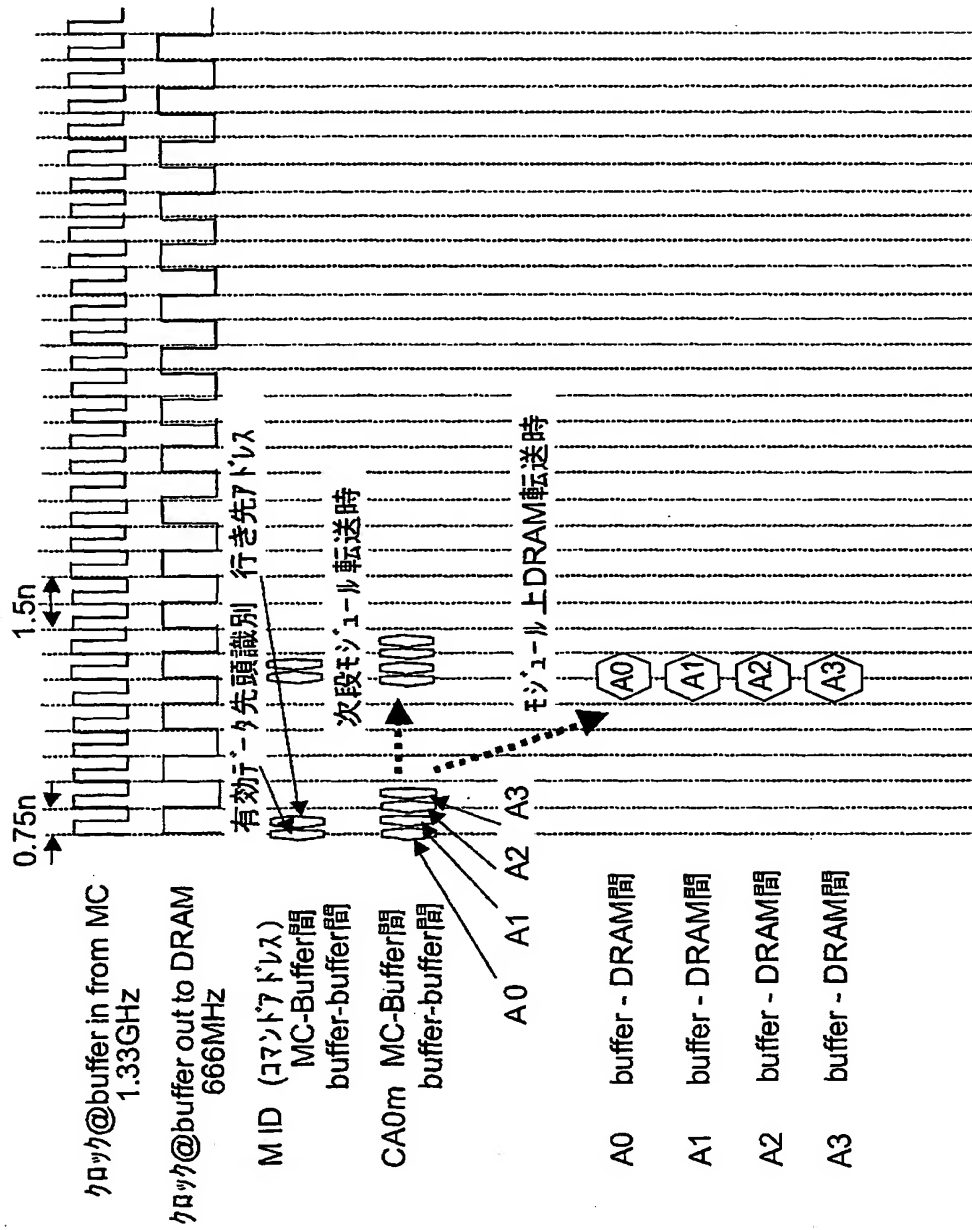
【図 13】



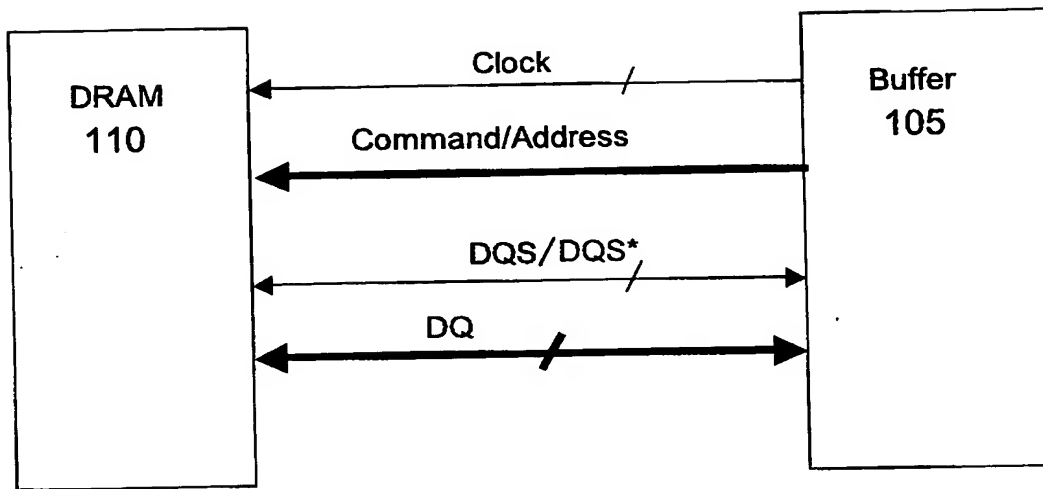
【図 14】



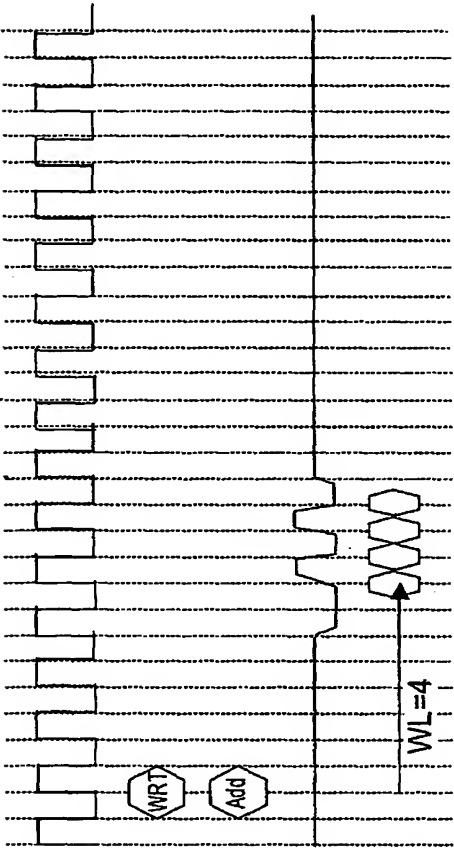
【図15】



【図 16】



【図17】



メモリ@buffer out to DRAM

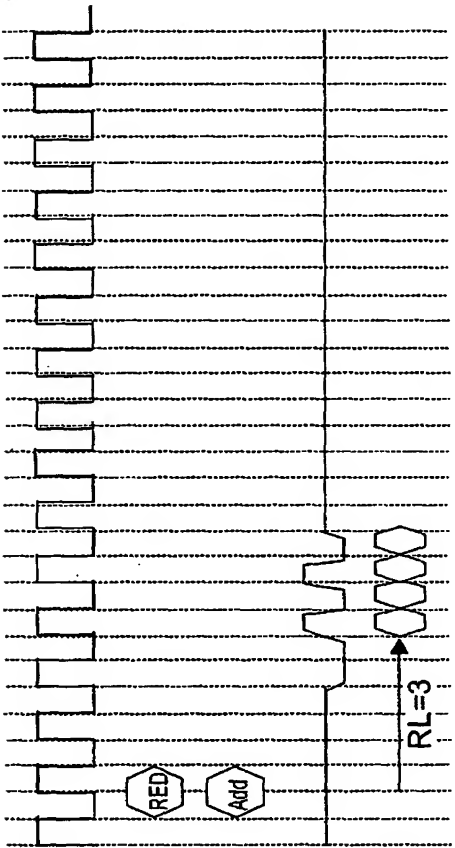
コマンド

アドレス

DQS

DQ

(a)



メモリ@DRAM

コマンド

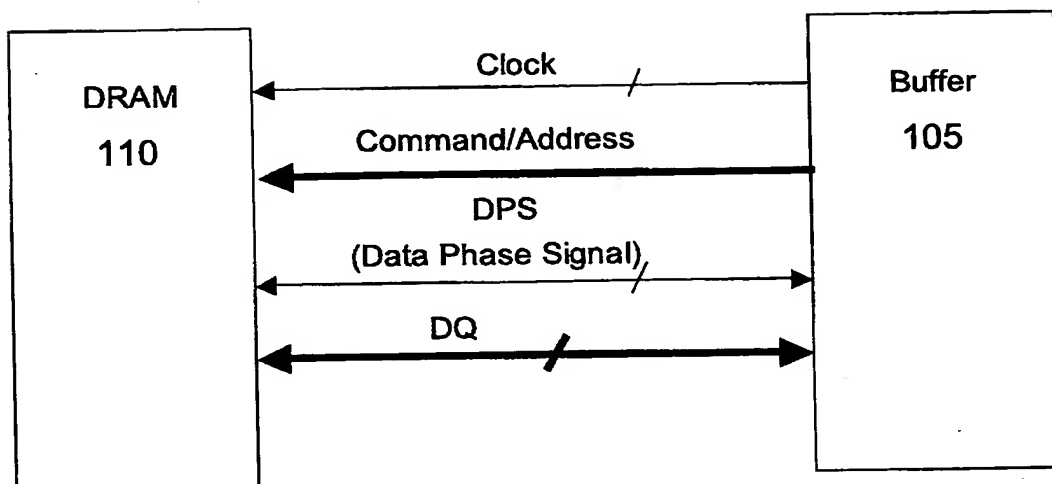
アドレス

DQS

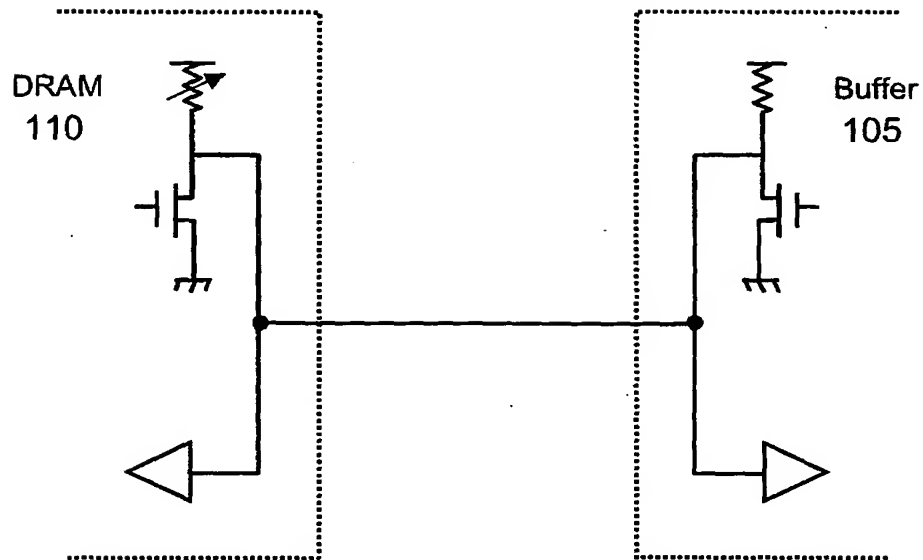
DQ

(b)

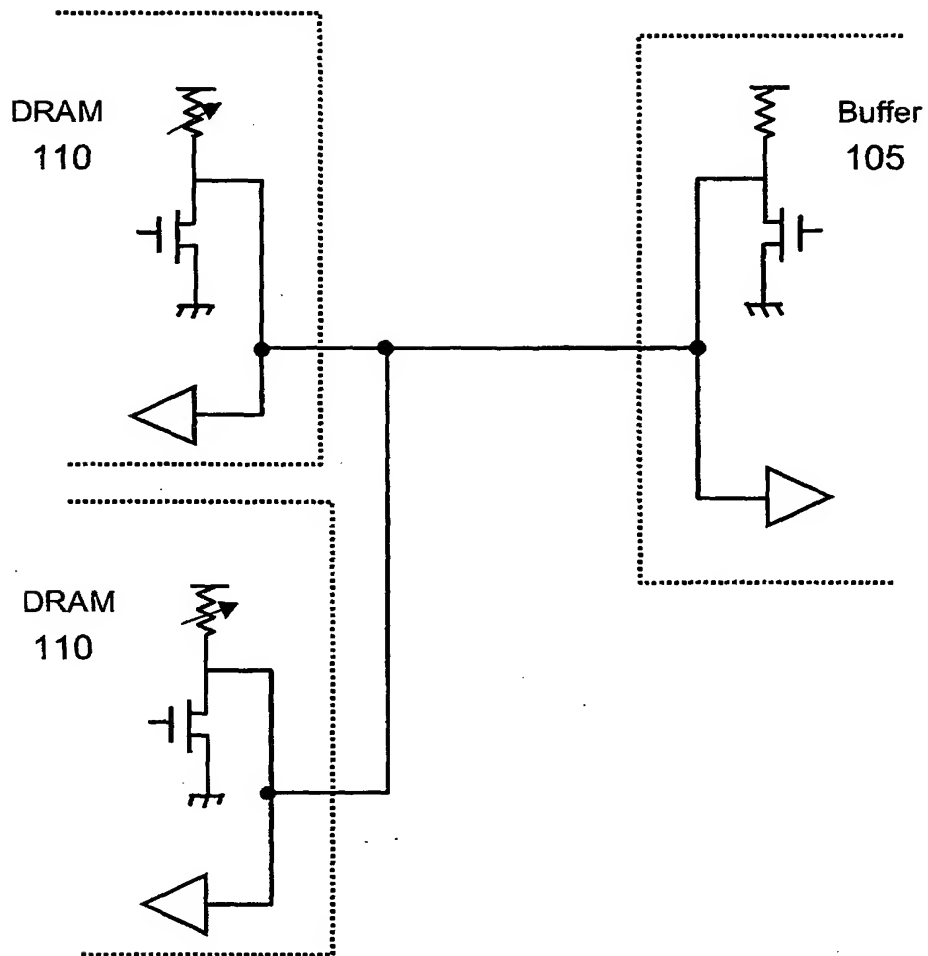
【図 18】



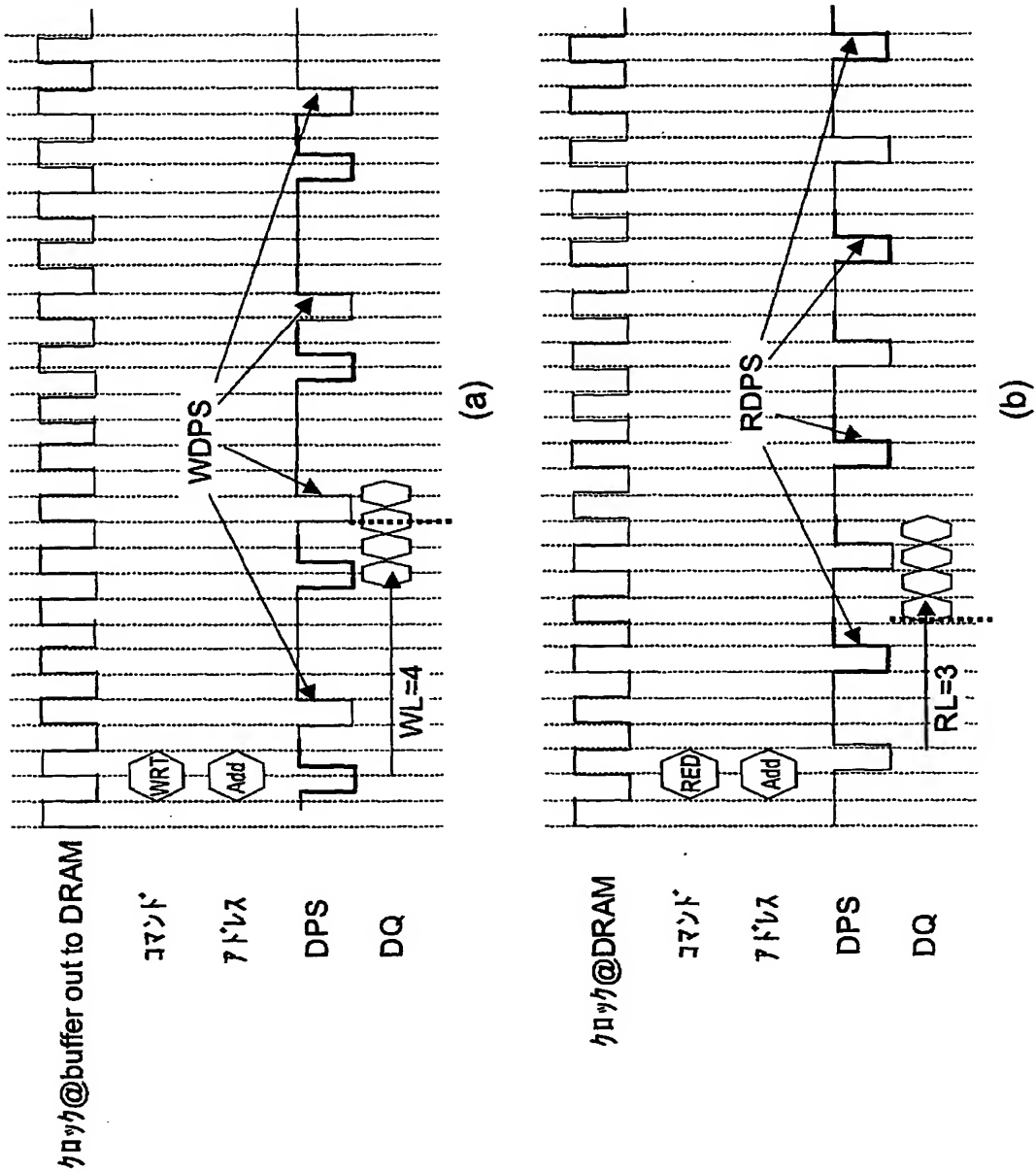
【図 19】



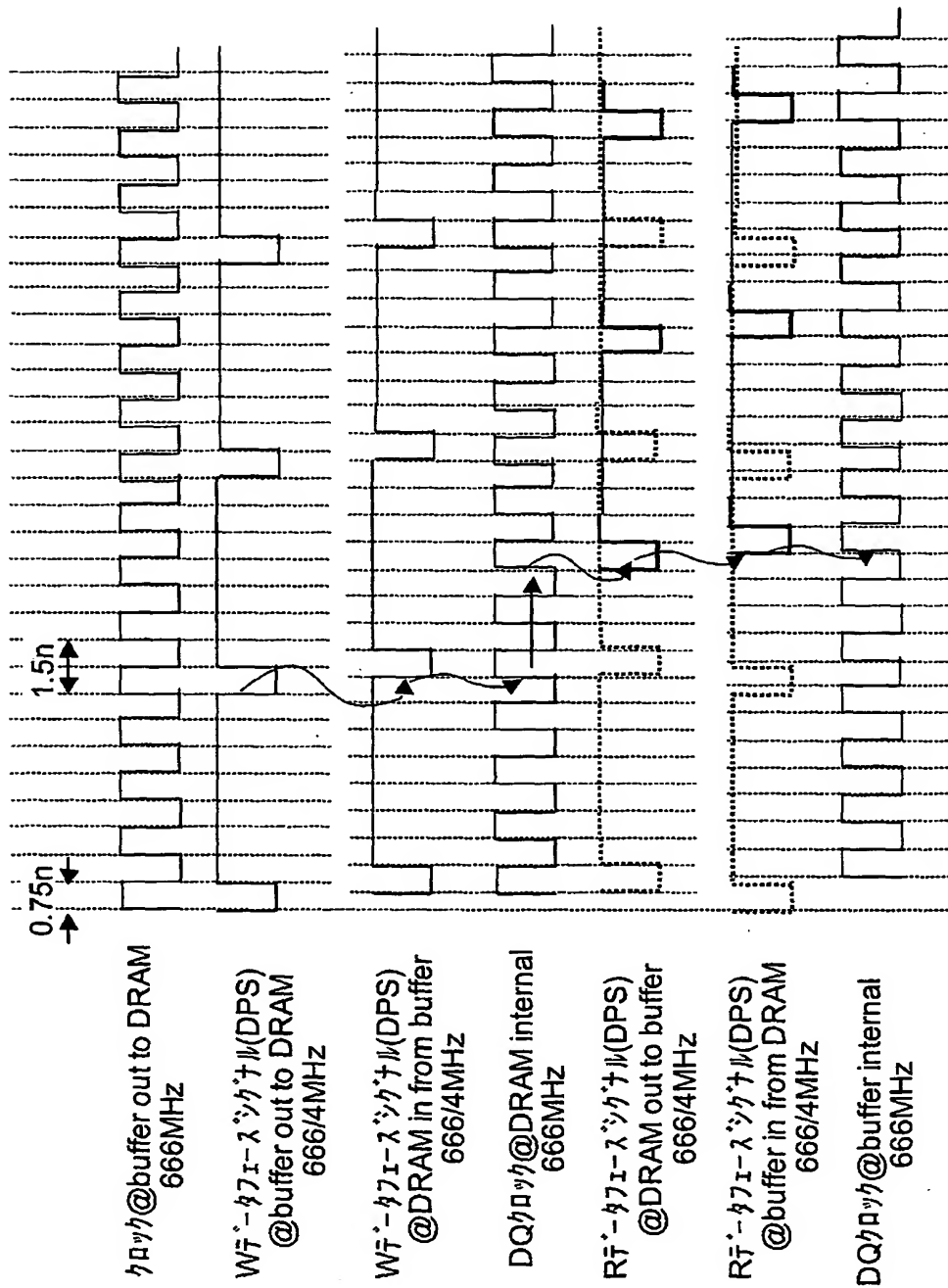
【図 20】



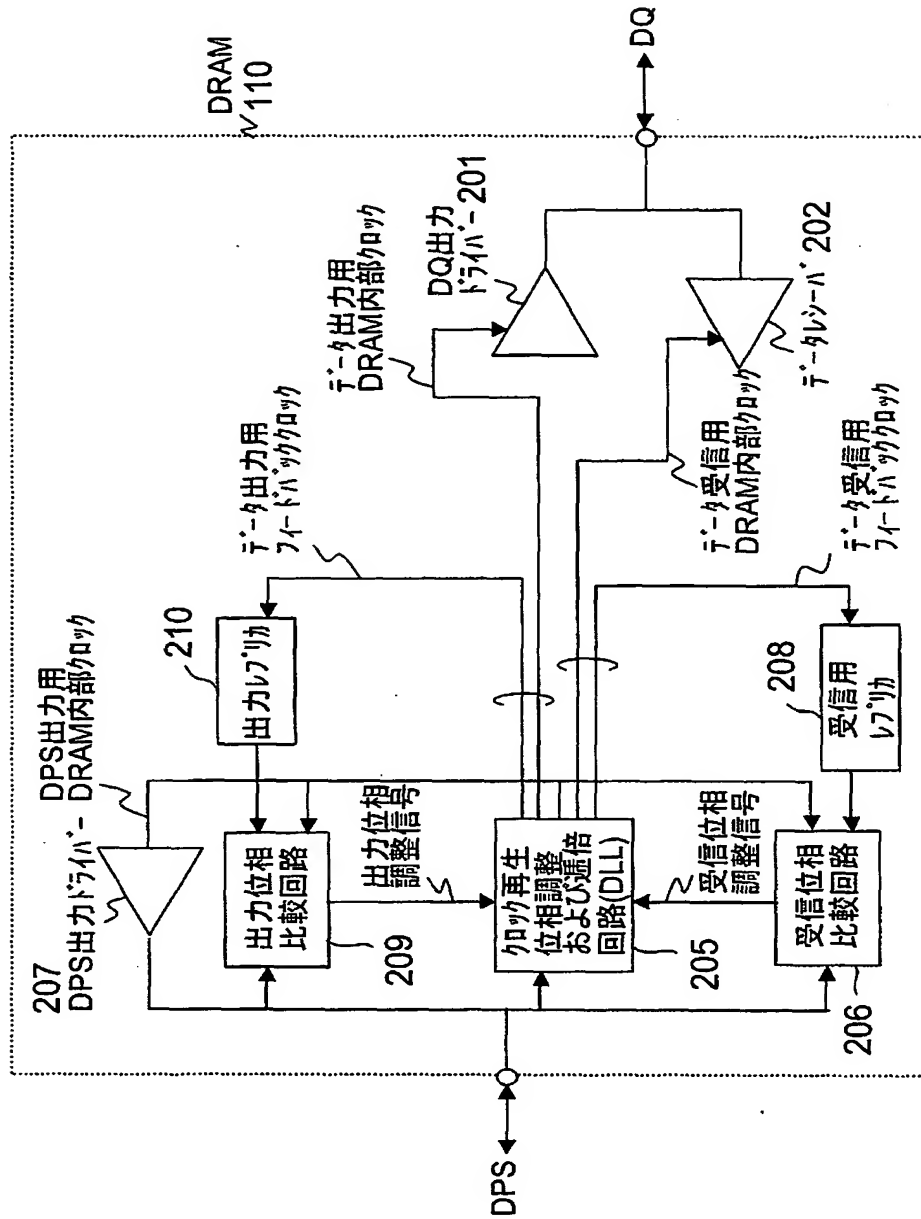
【図 21】



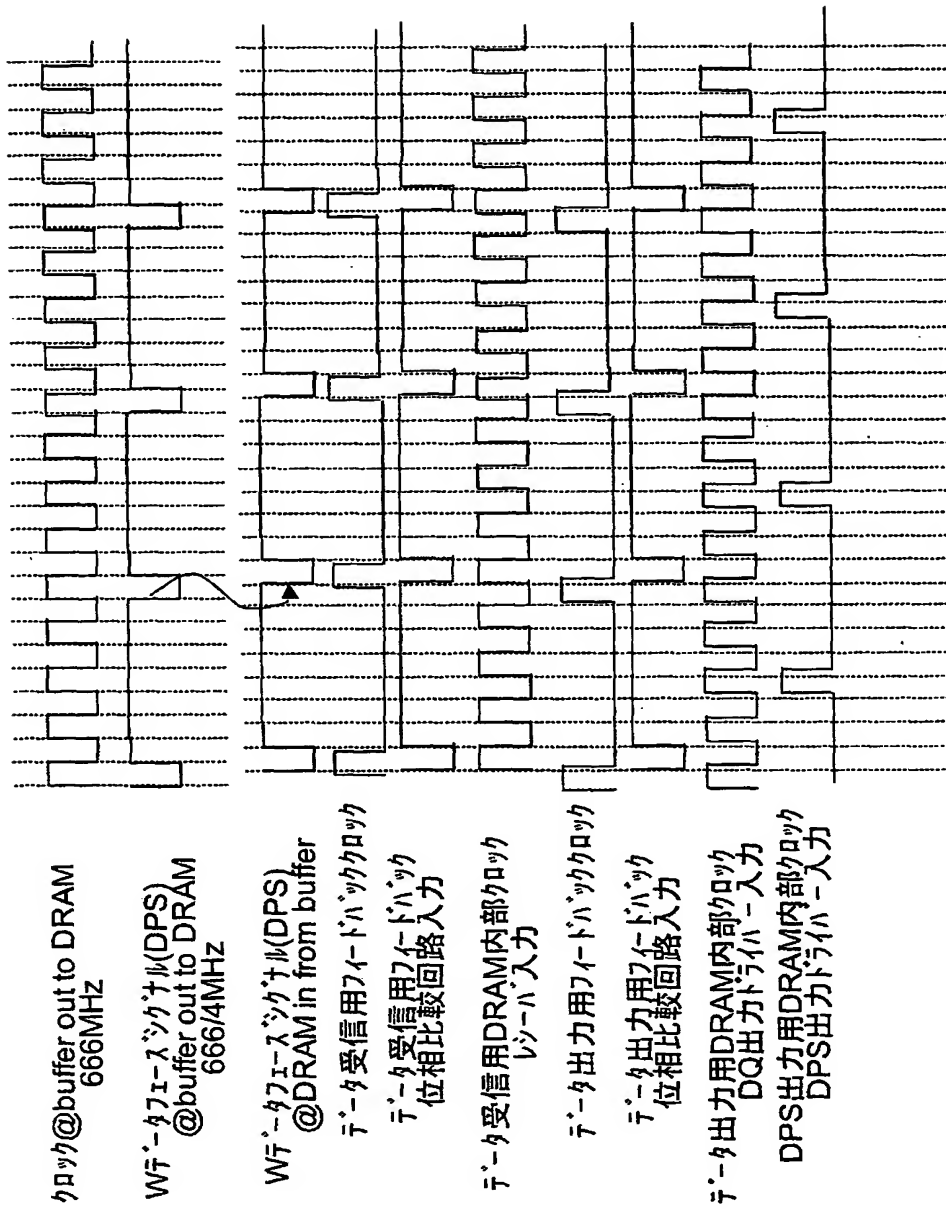
【図 22】



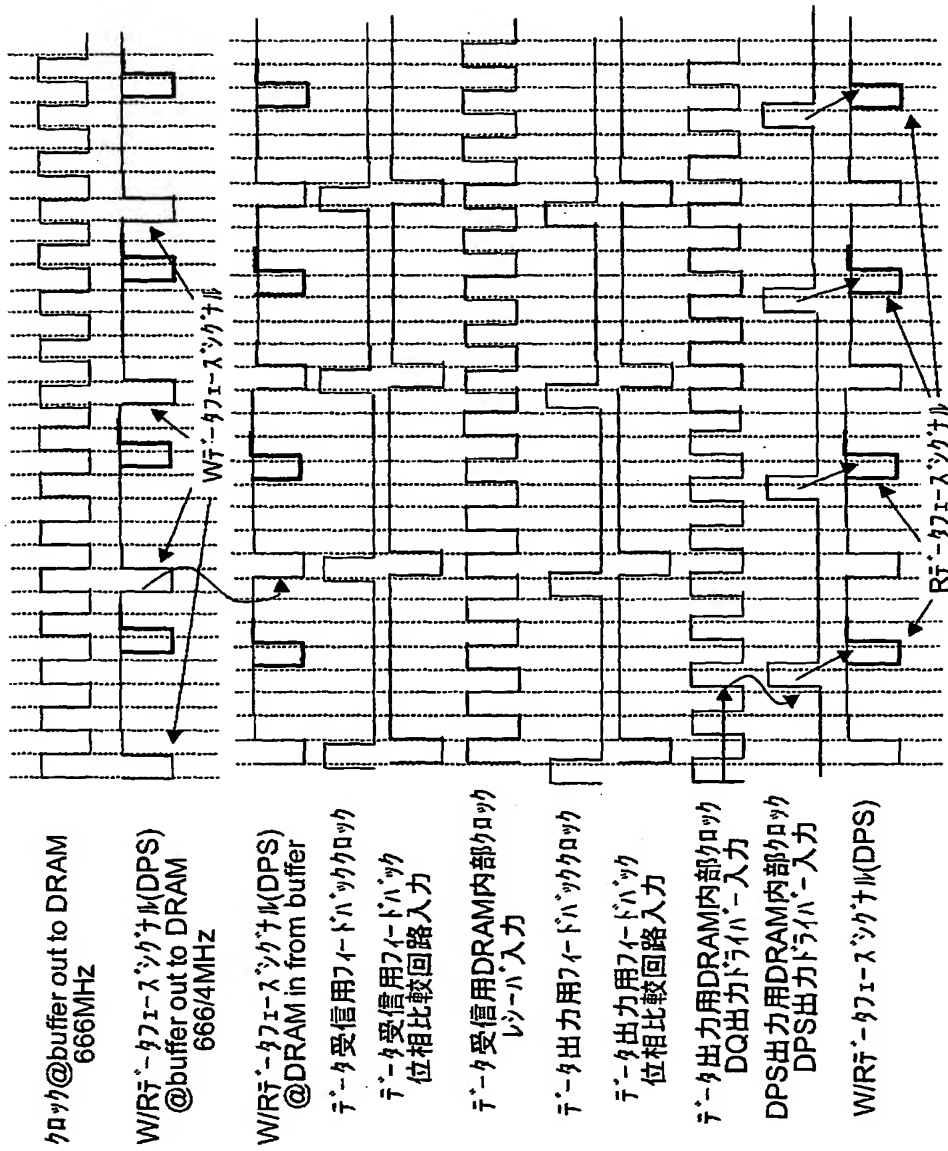
【図 23】



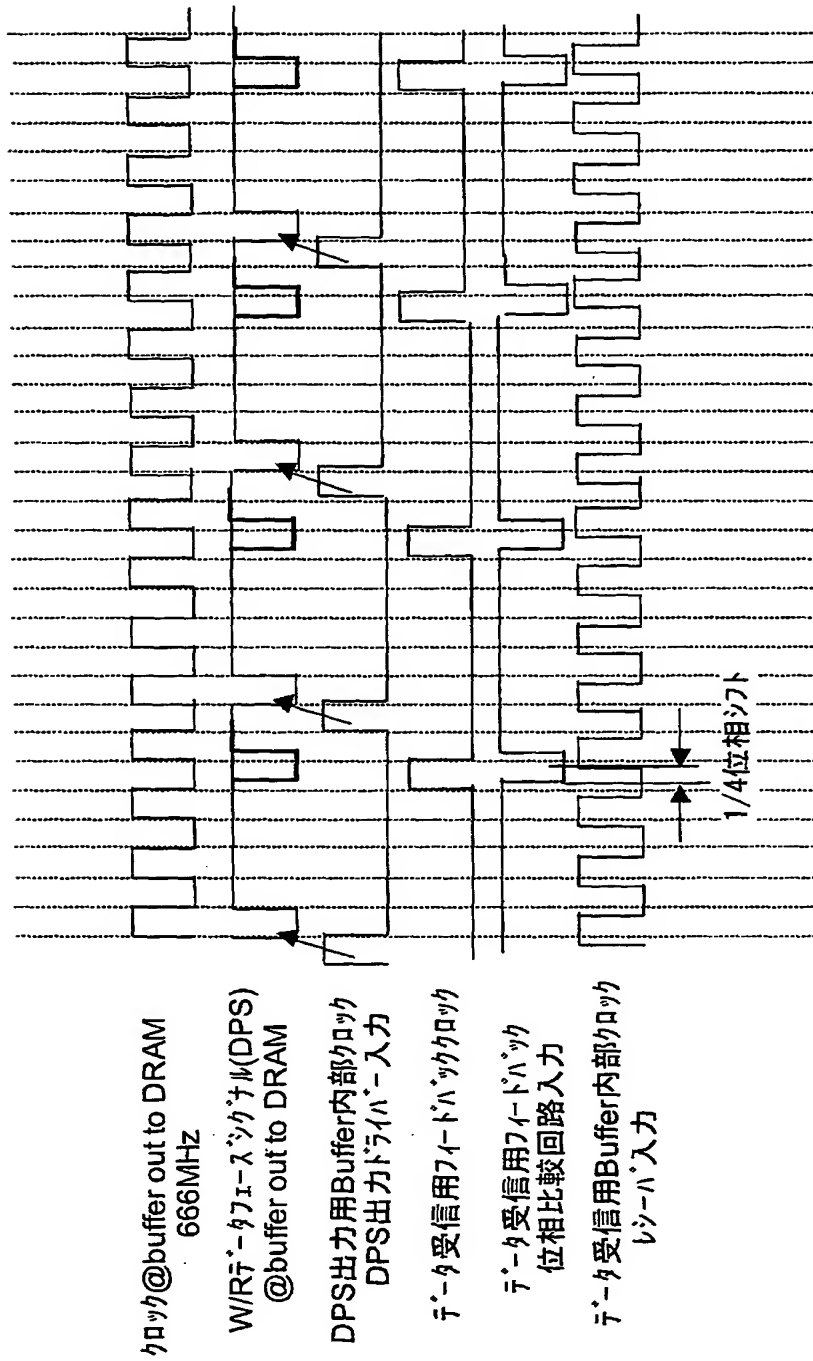
【図 25】



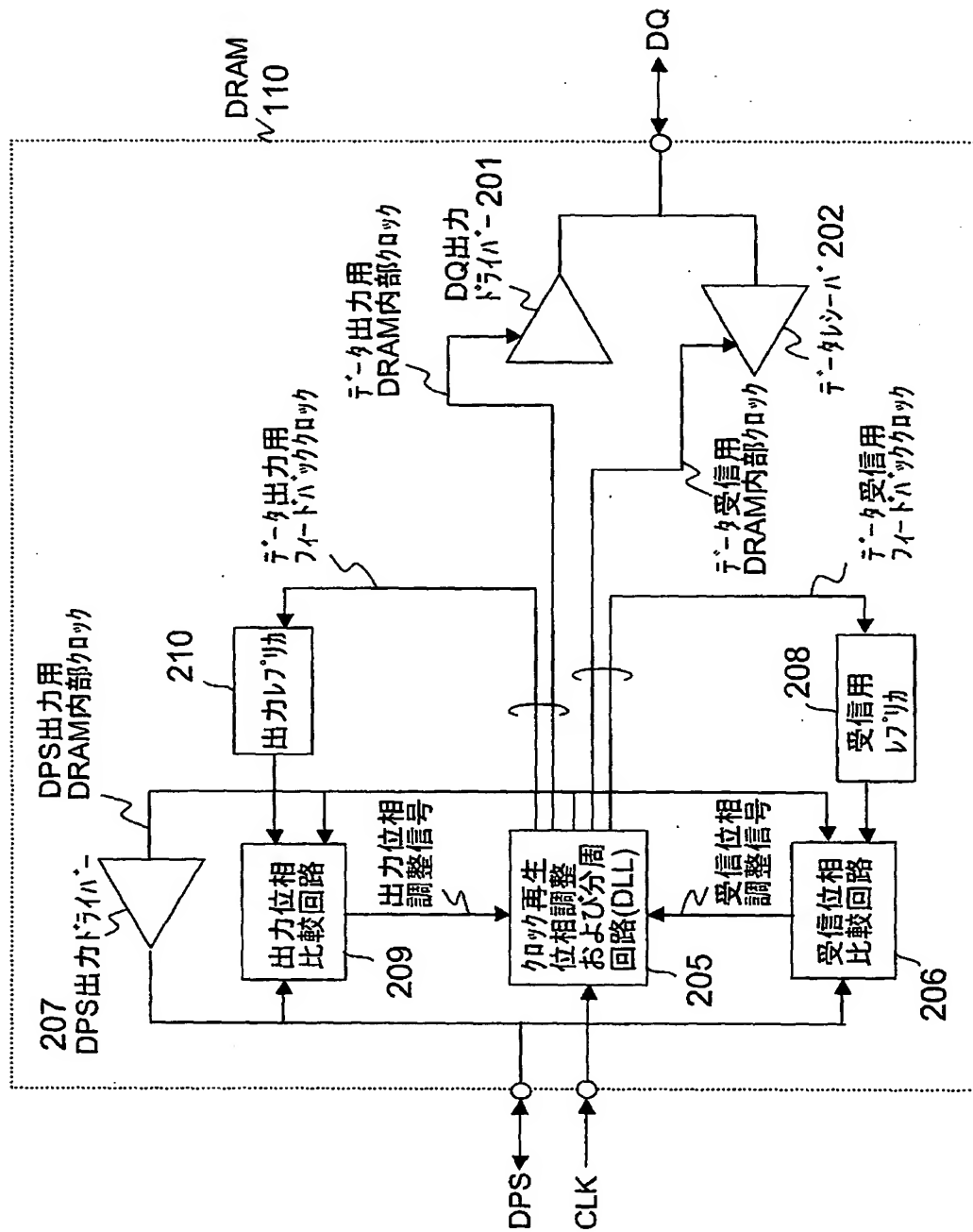
【図26】



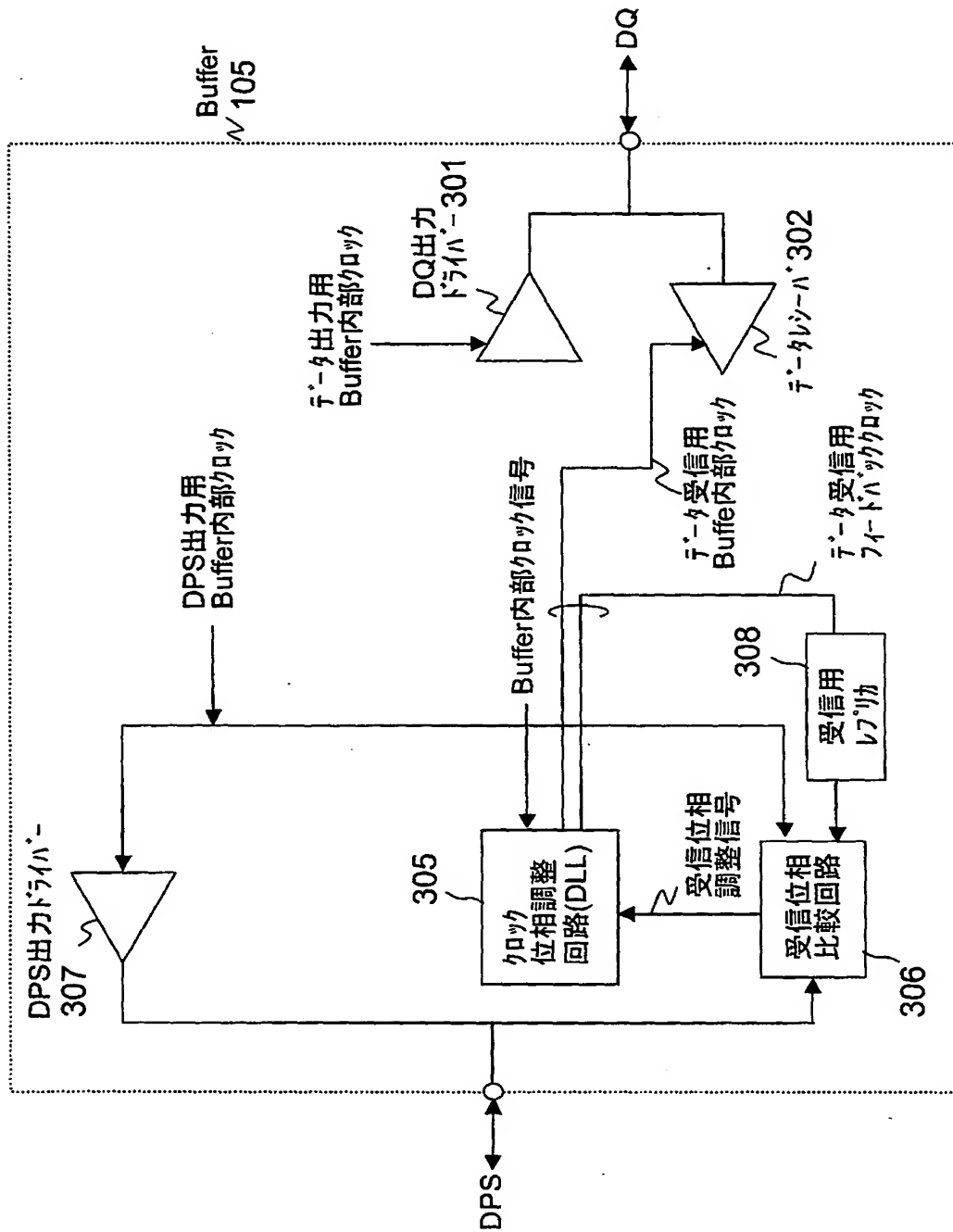
【図 27】



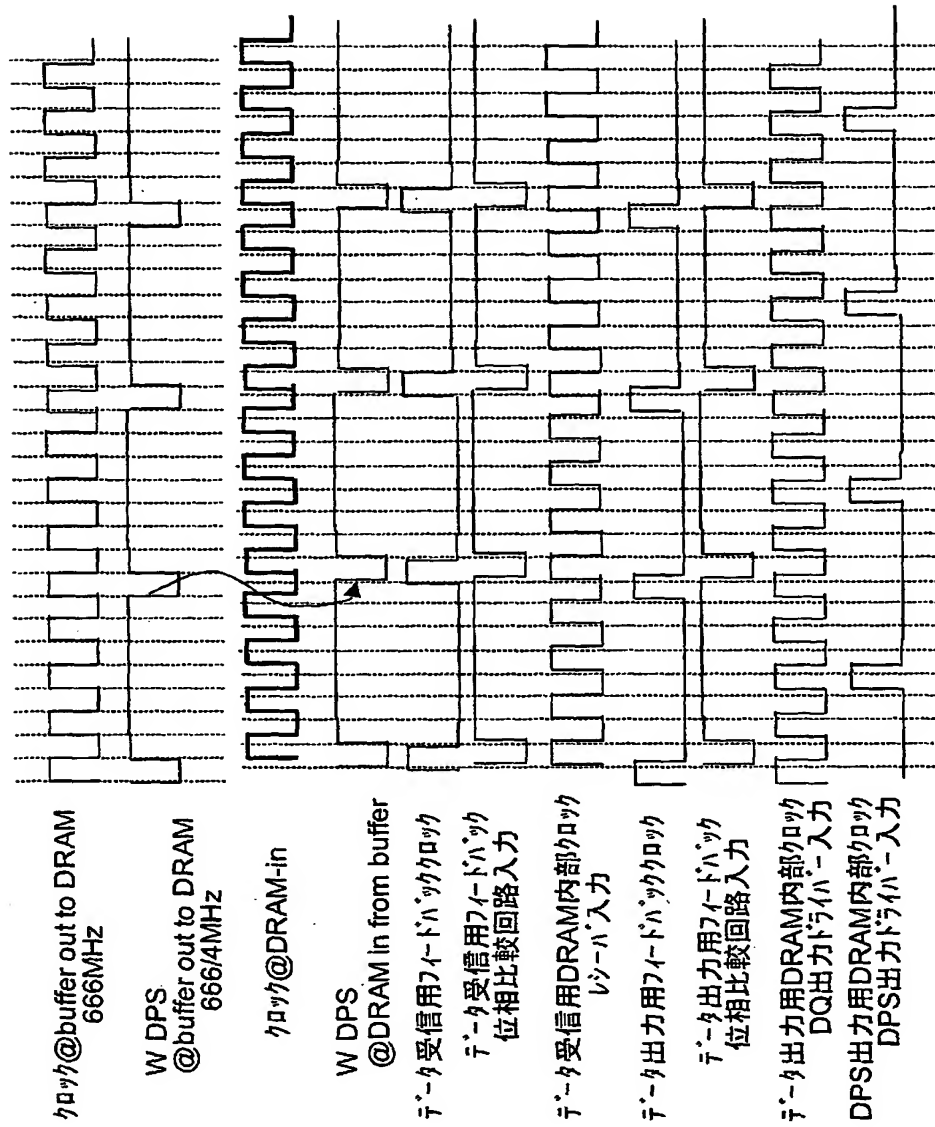
【図 28】



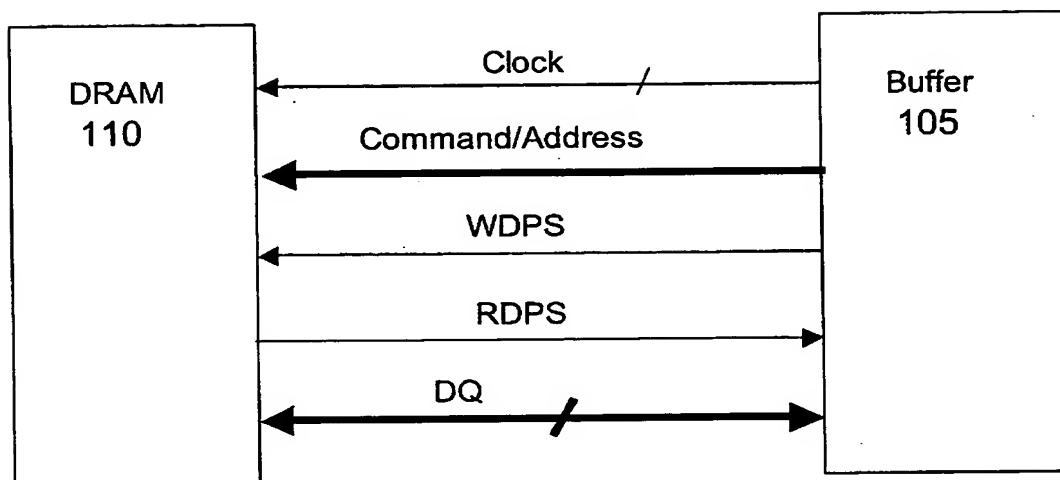
【図 29】



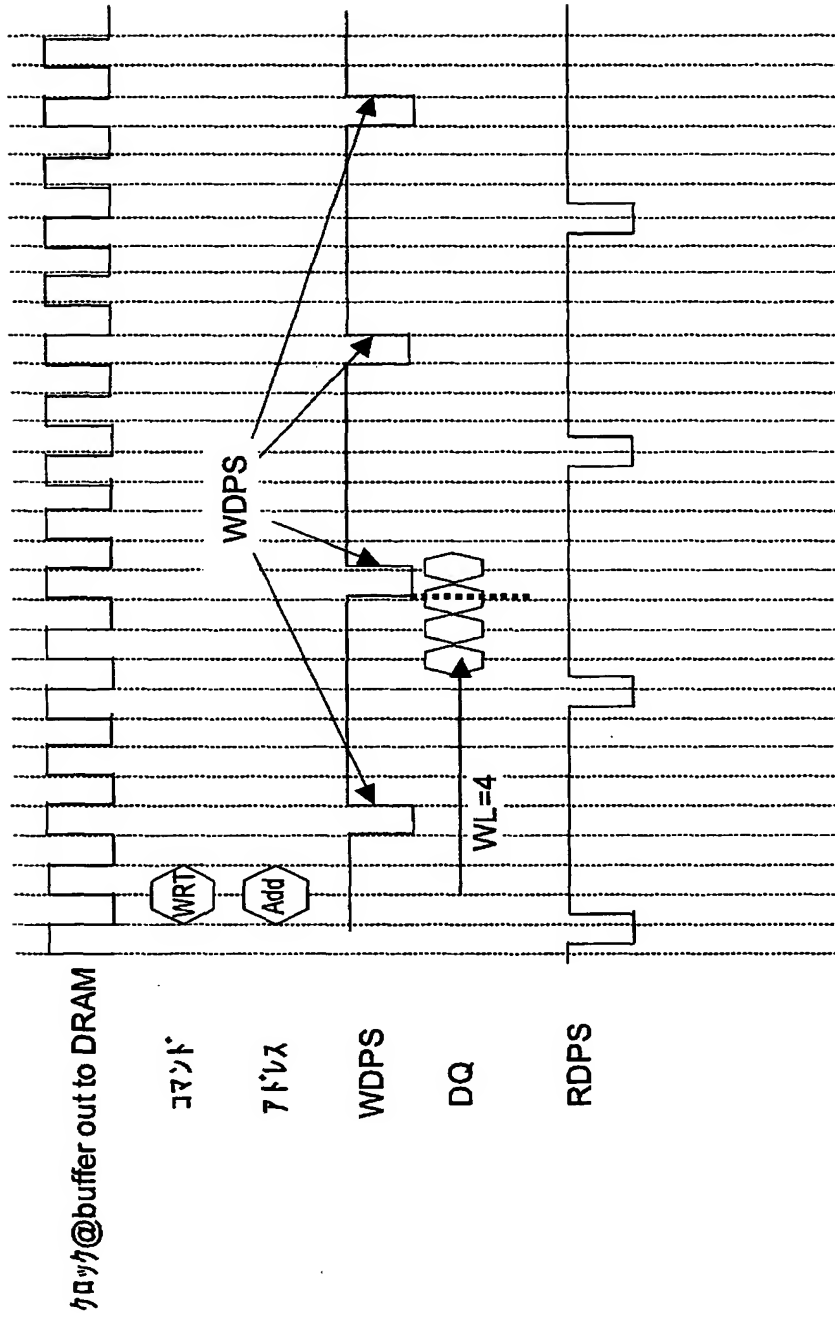
【図 30】



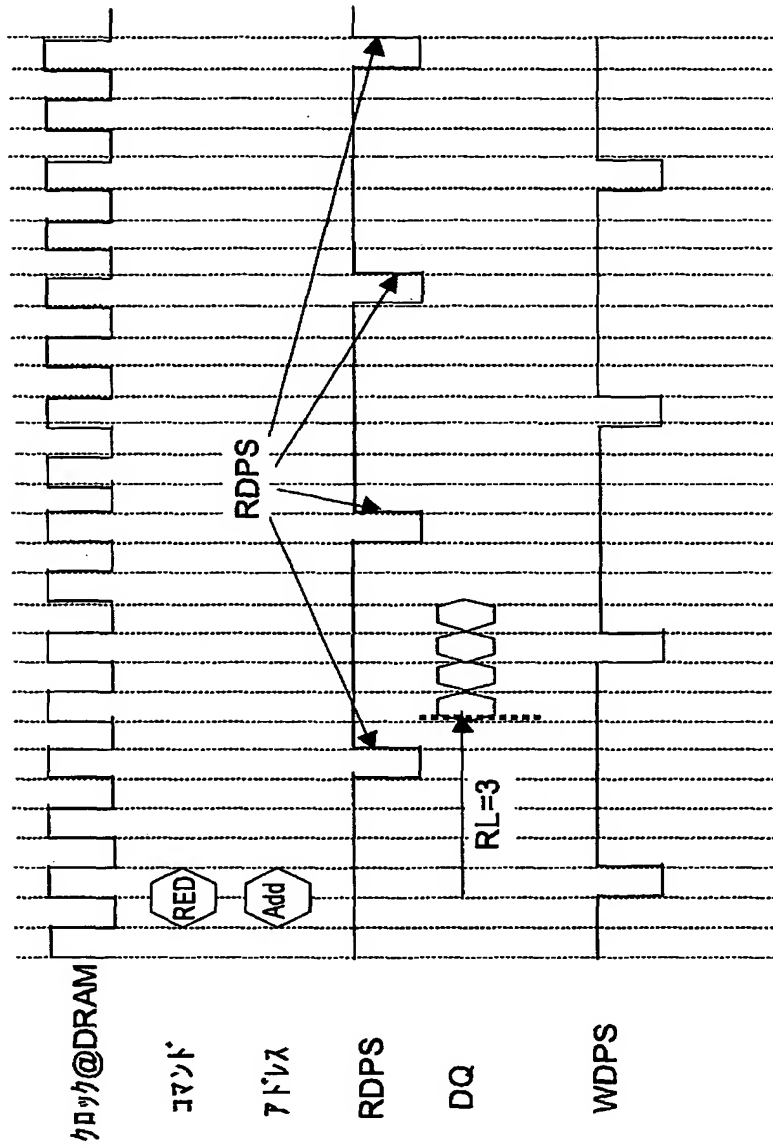
【図 31】



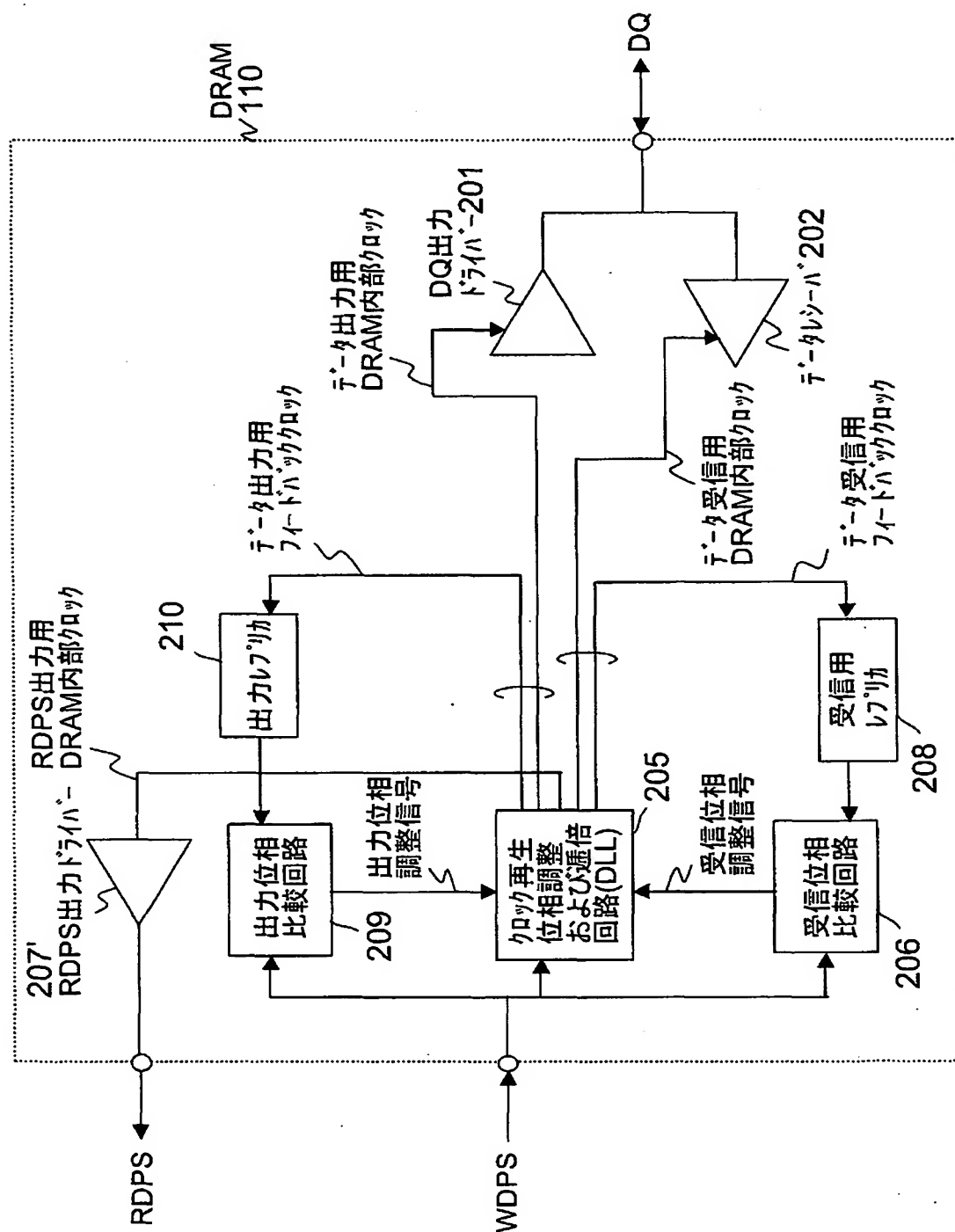
【図 32】



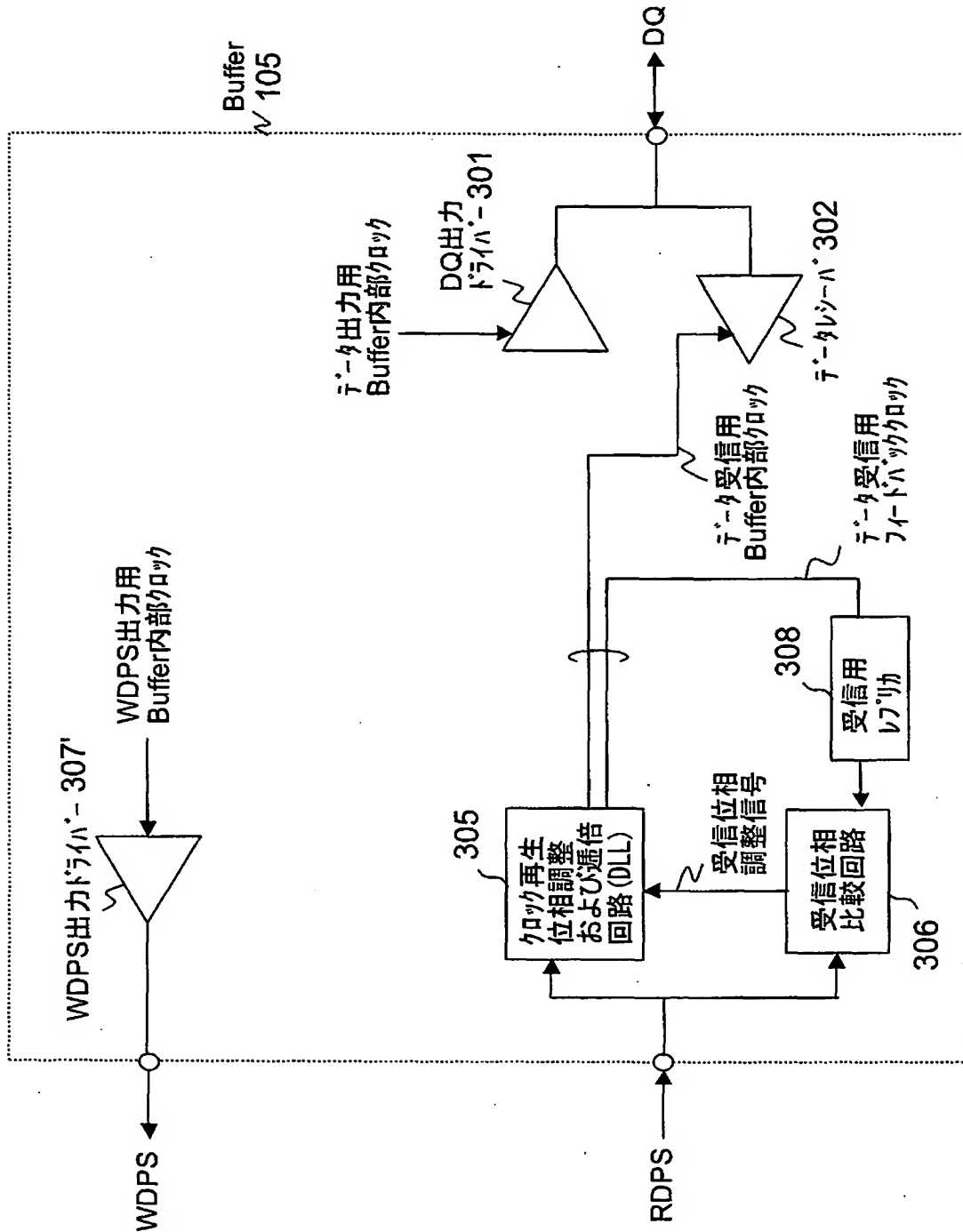
【図 33】



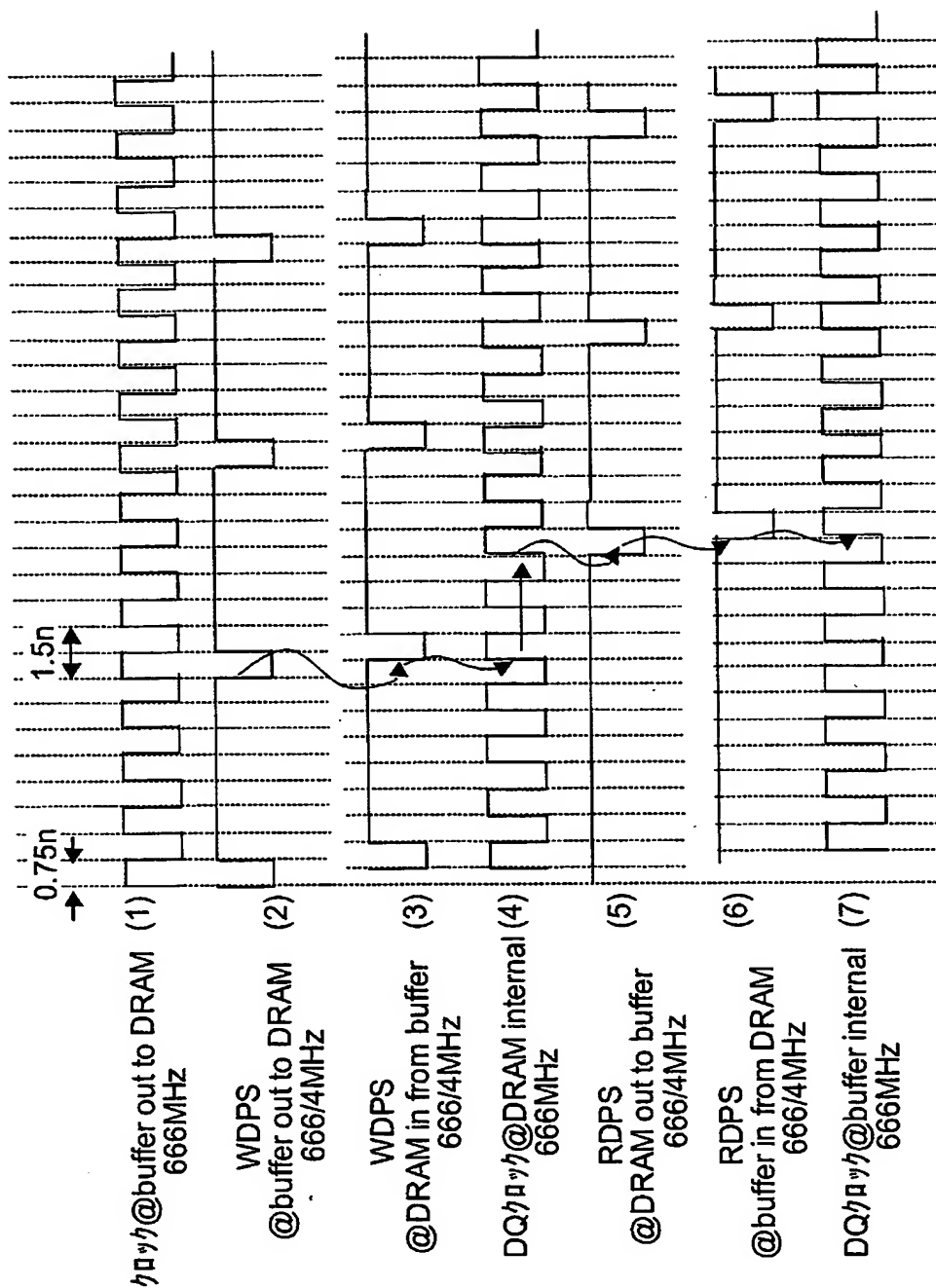
【図 34】



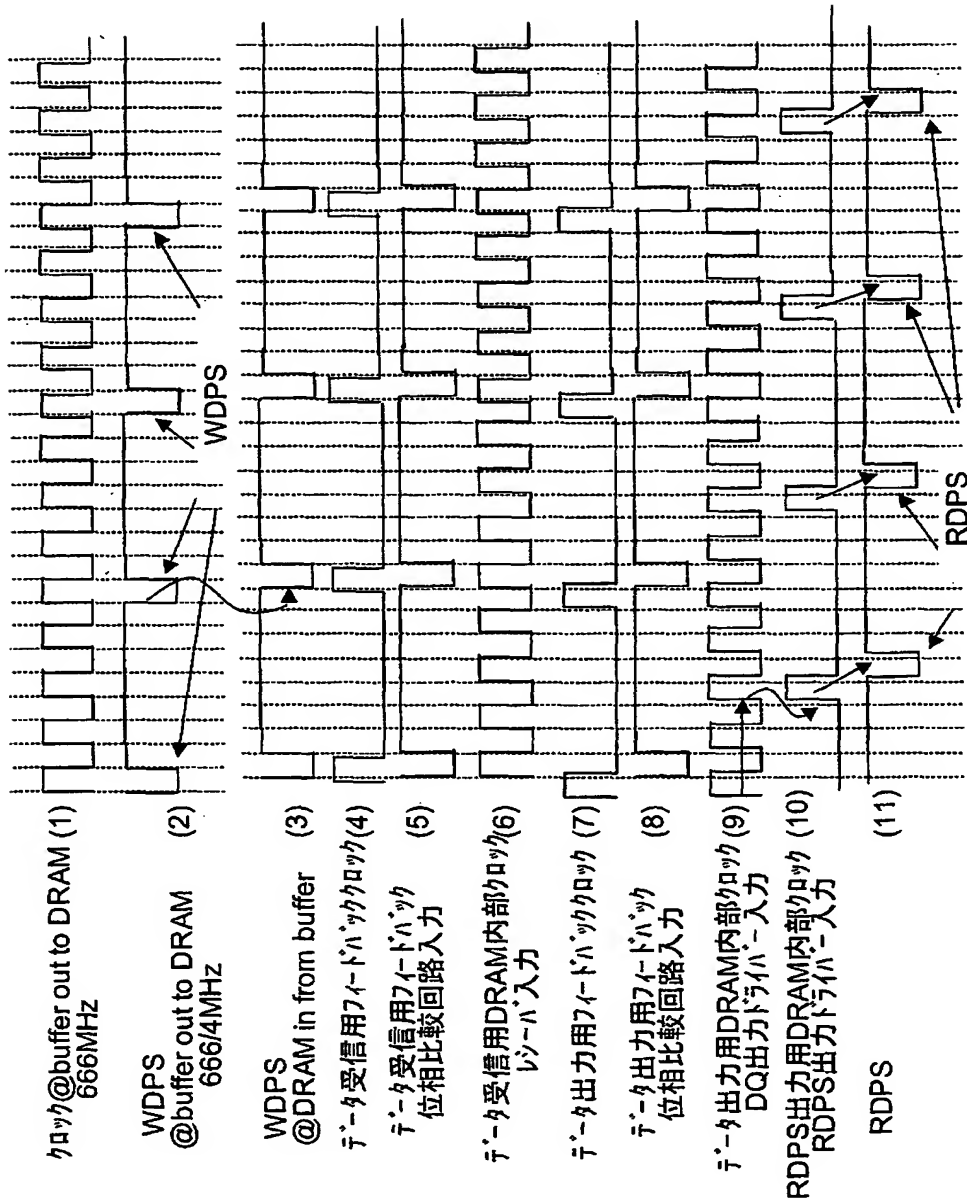
【図 35】



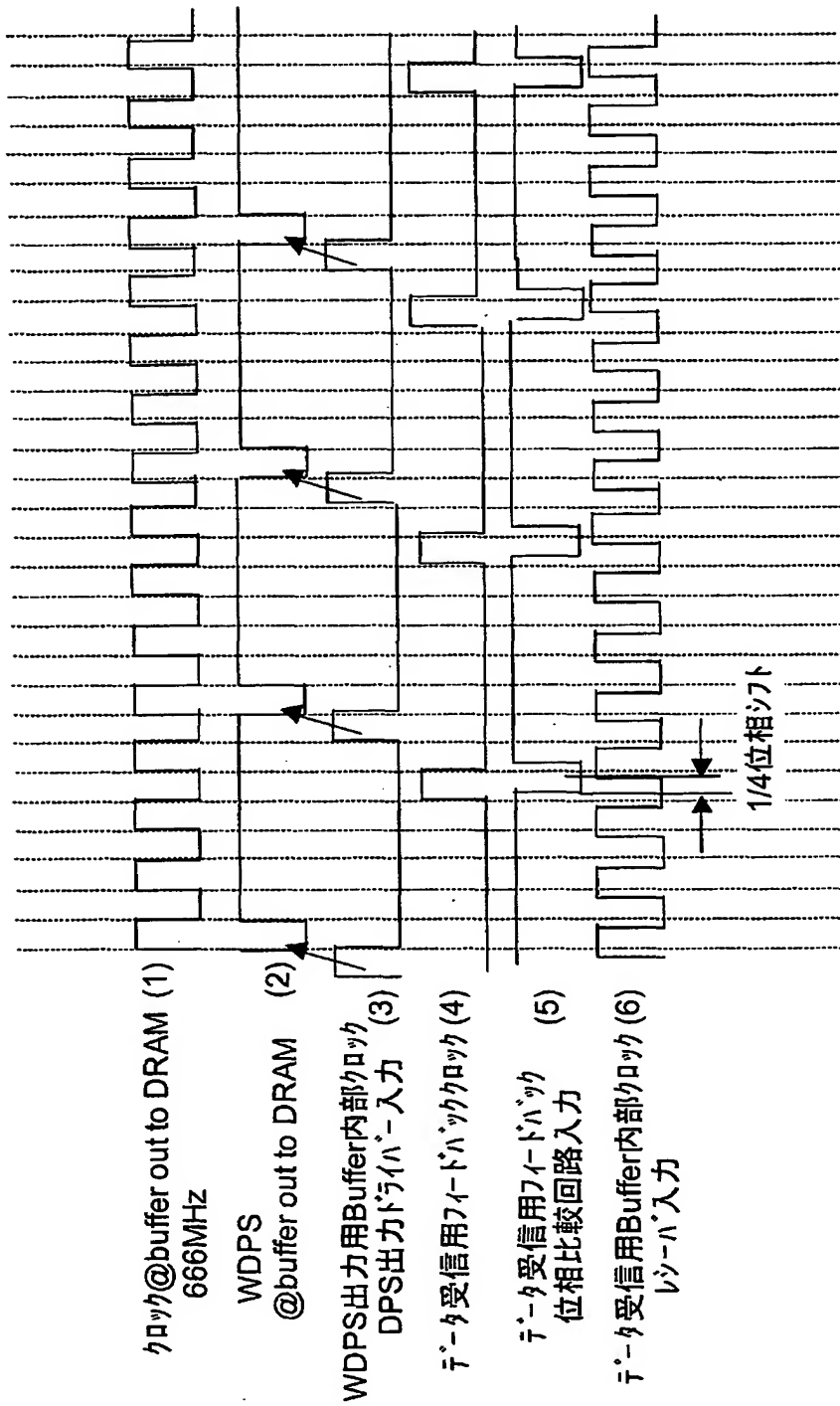
【図 3・6】



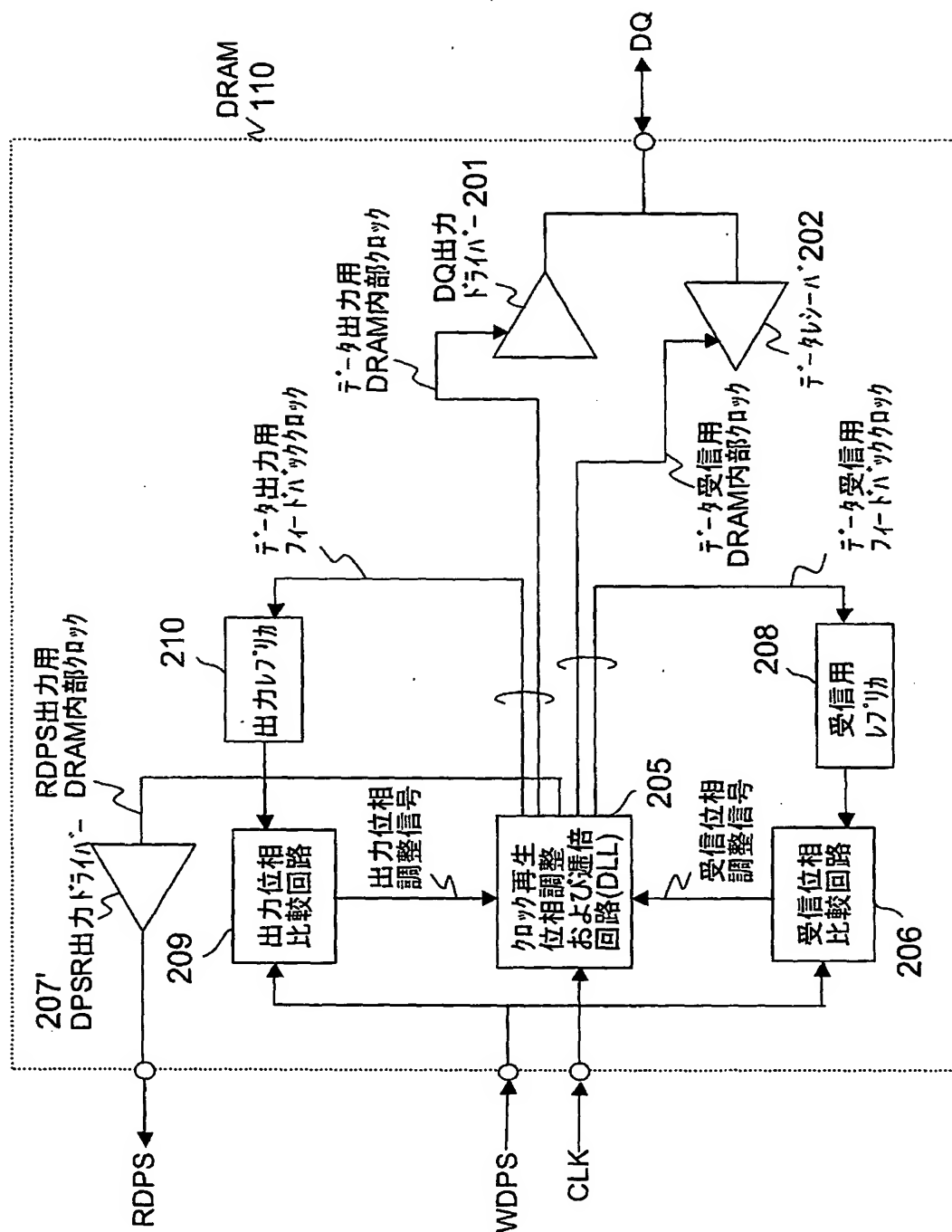
【図 37】



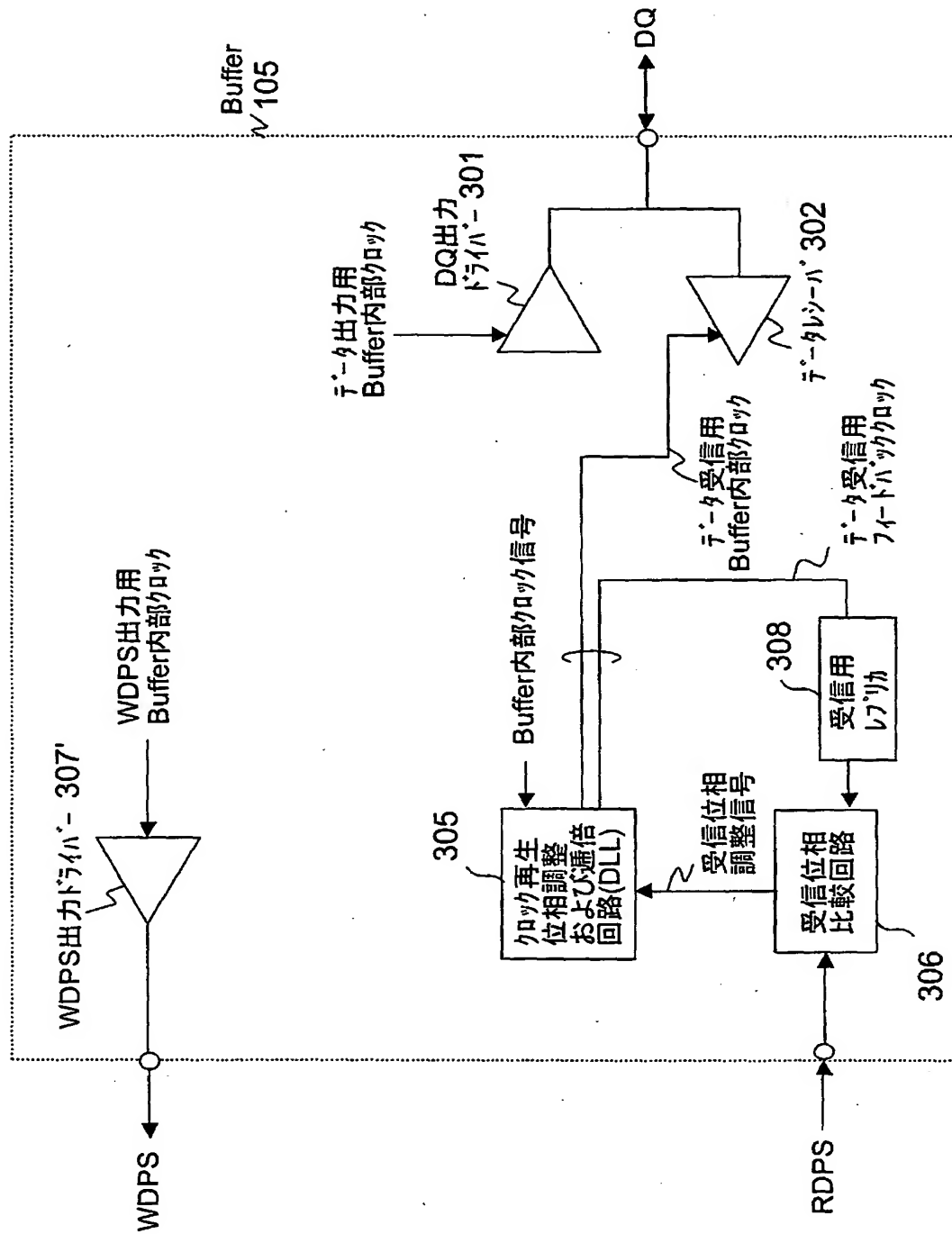
【図 38】



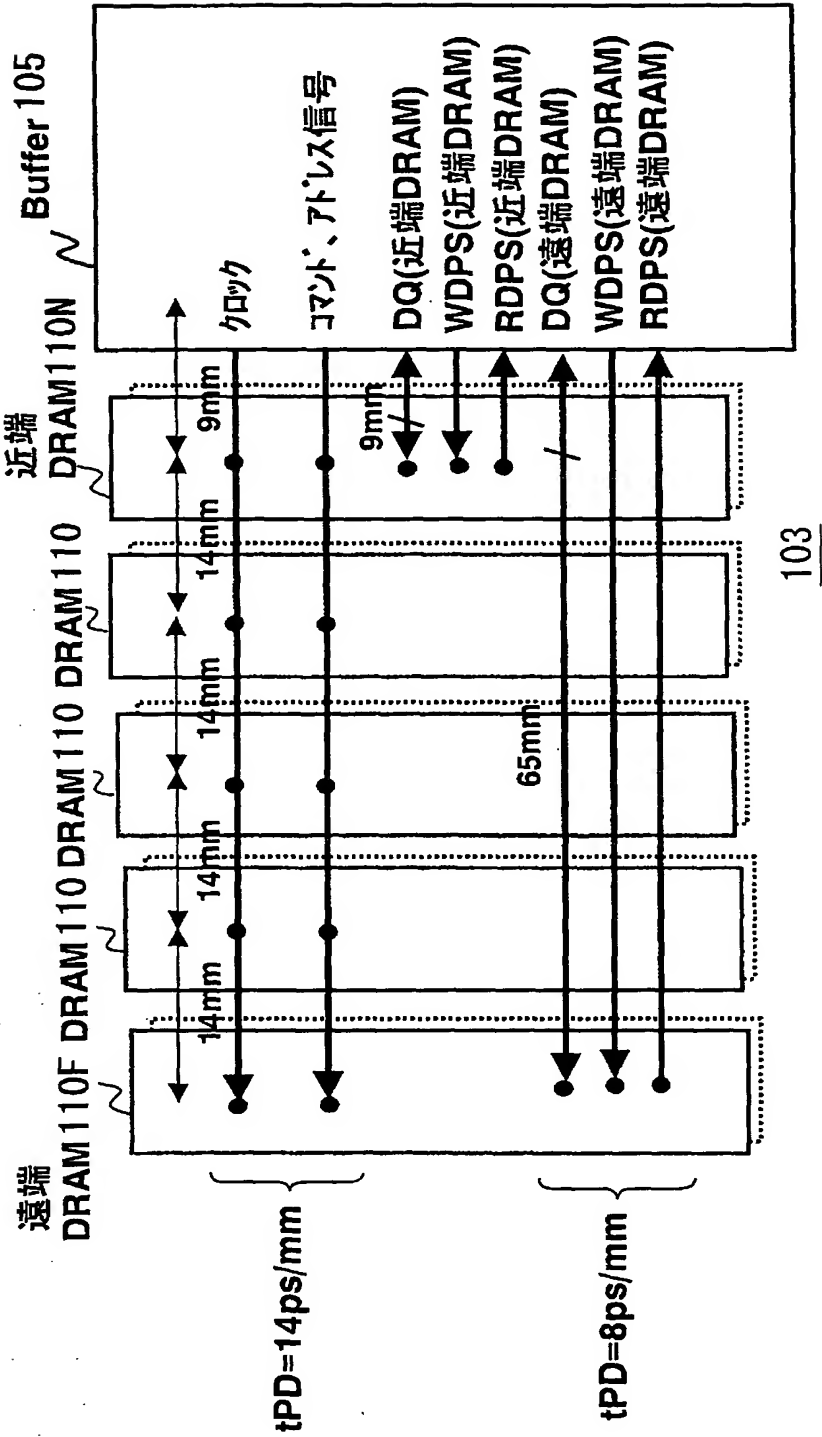
【図 3 9】



【図 40】

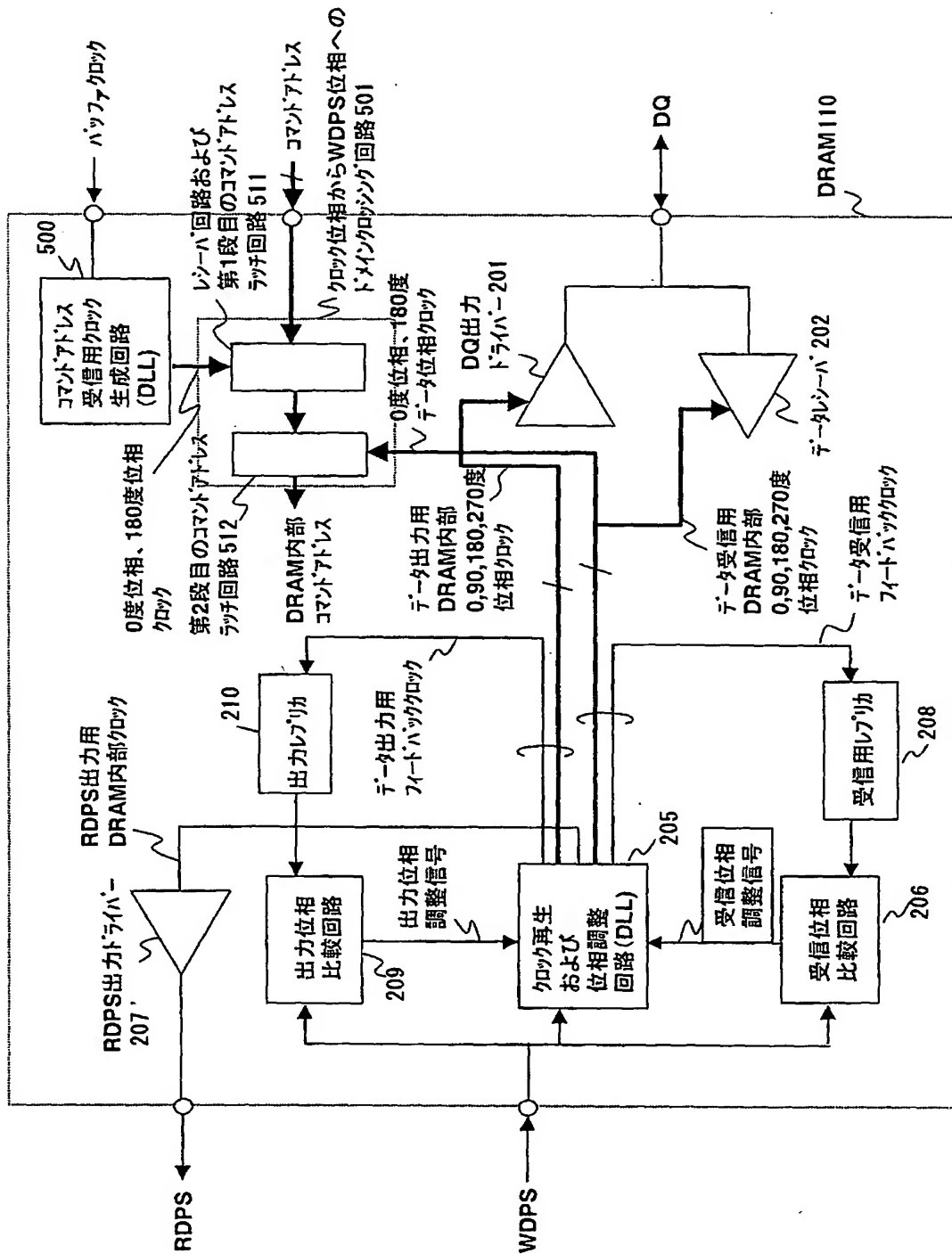


【図41】

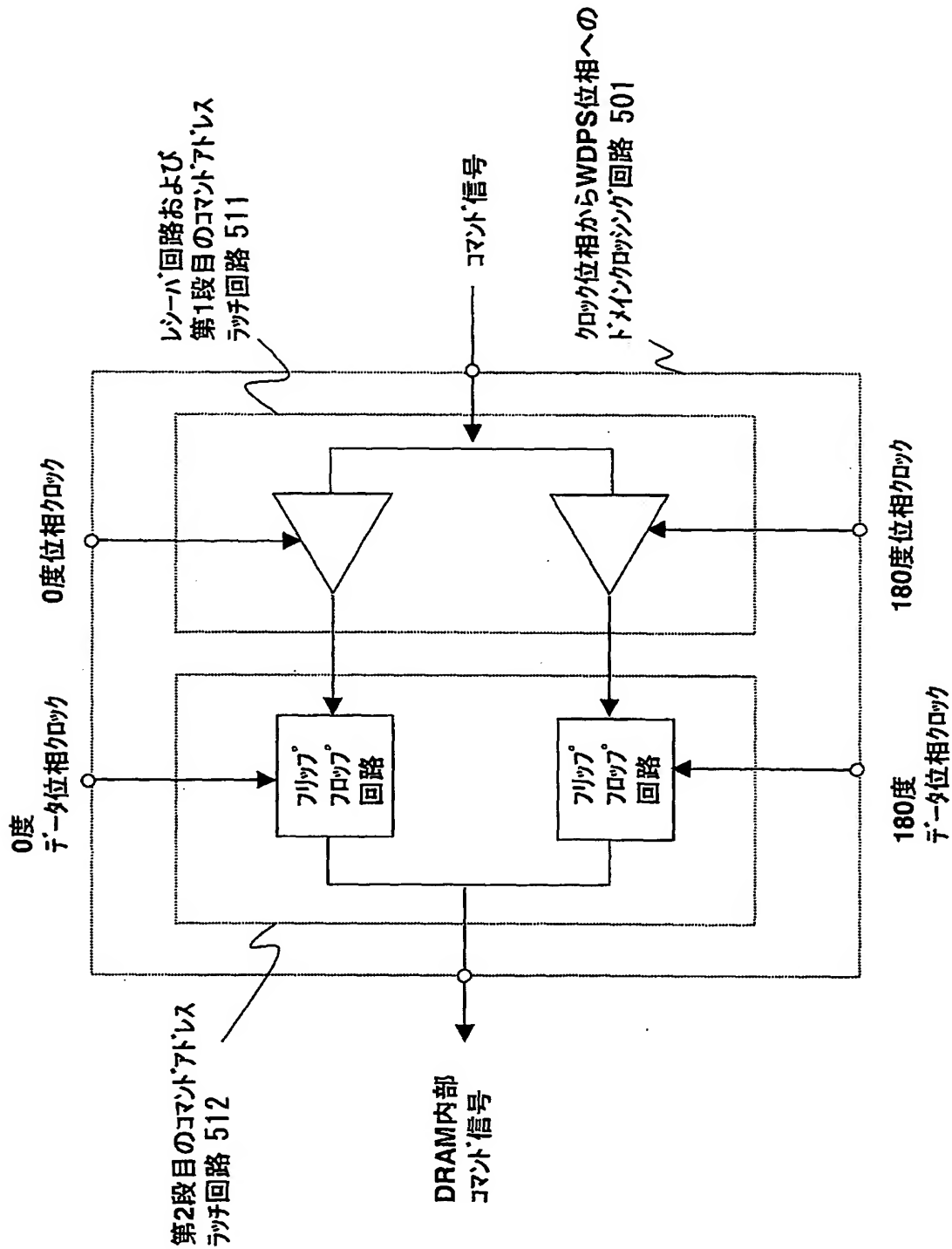


103

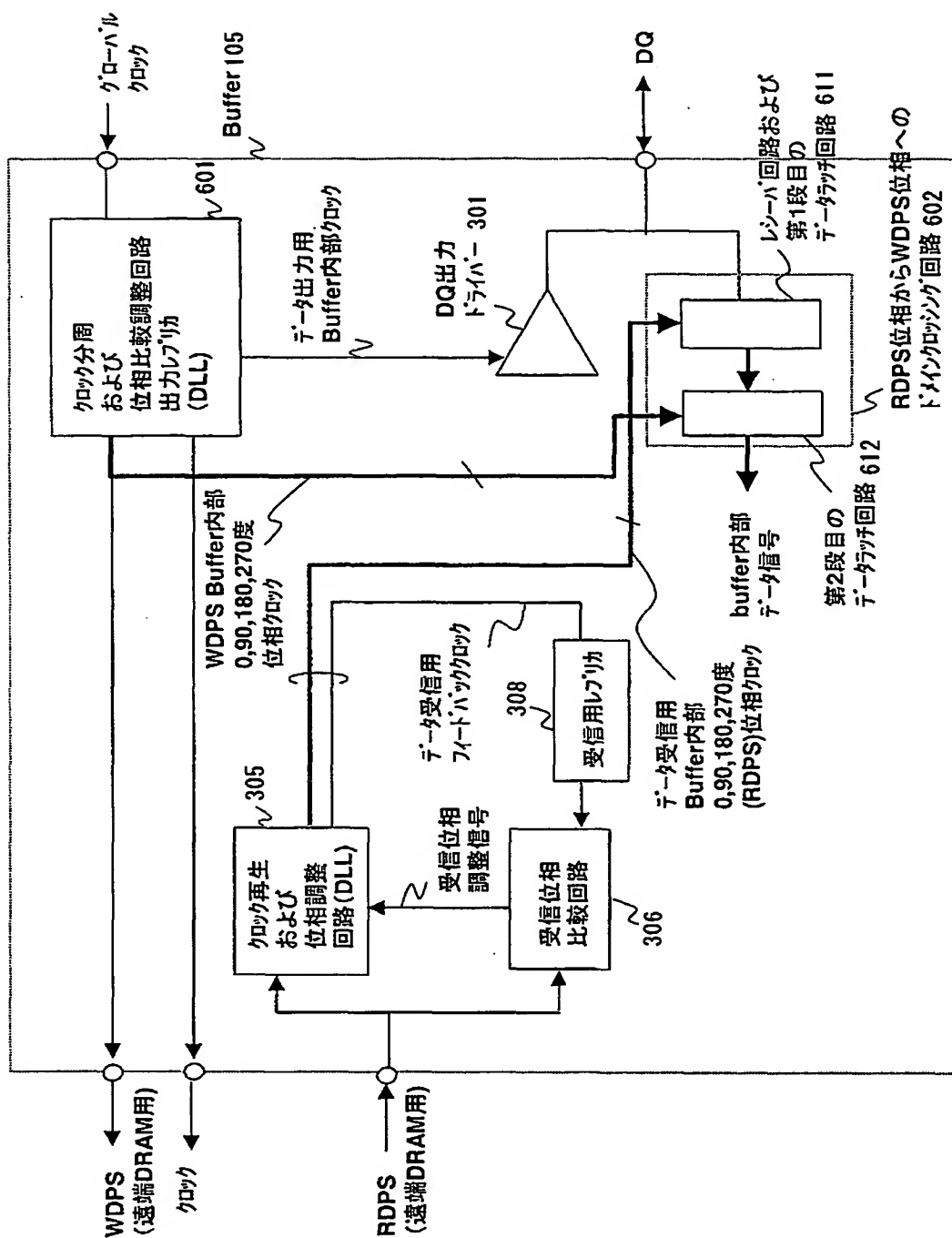
【図 4 2】



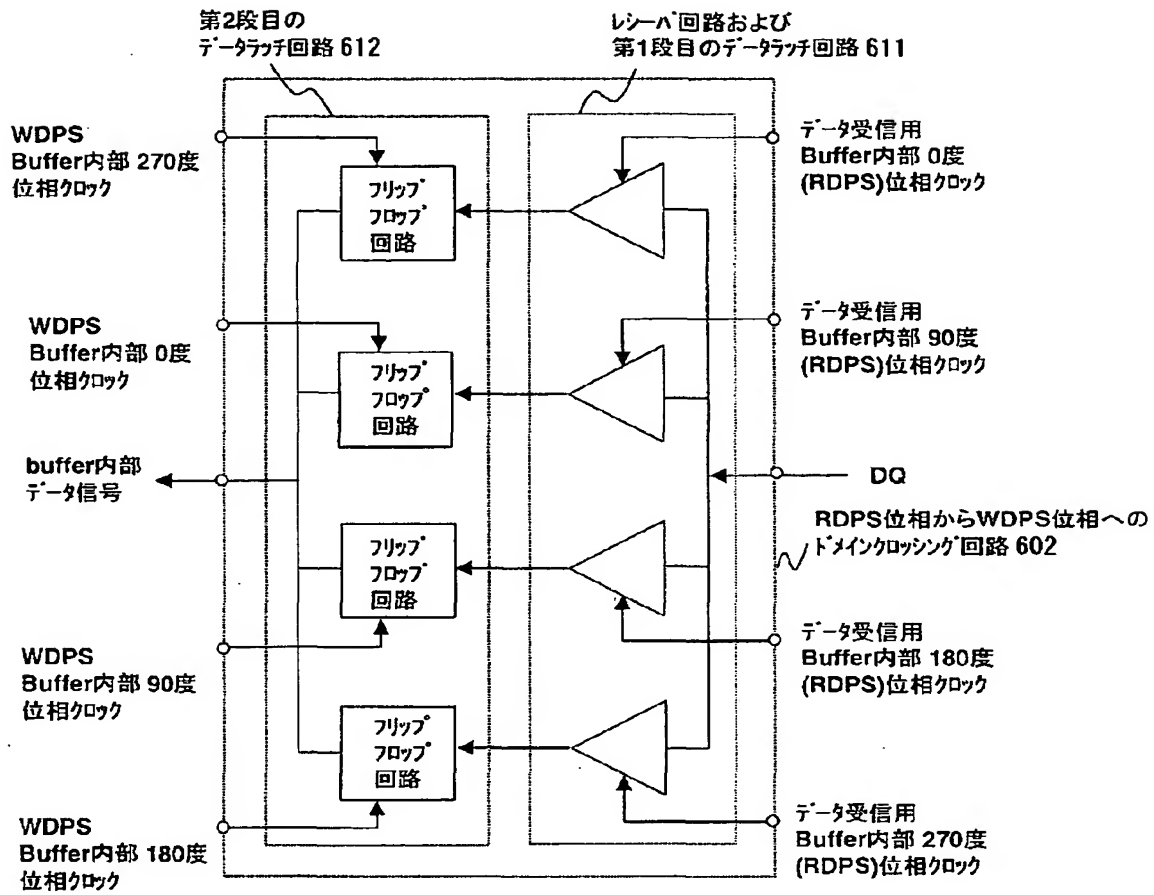
【図 43】



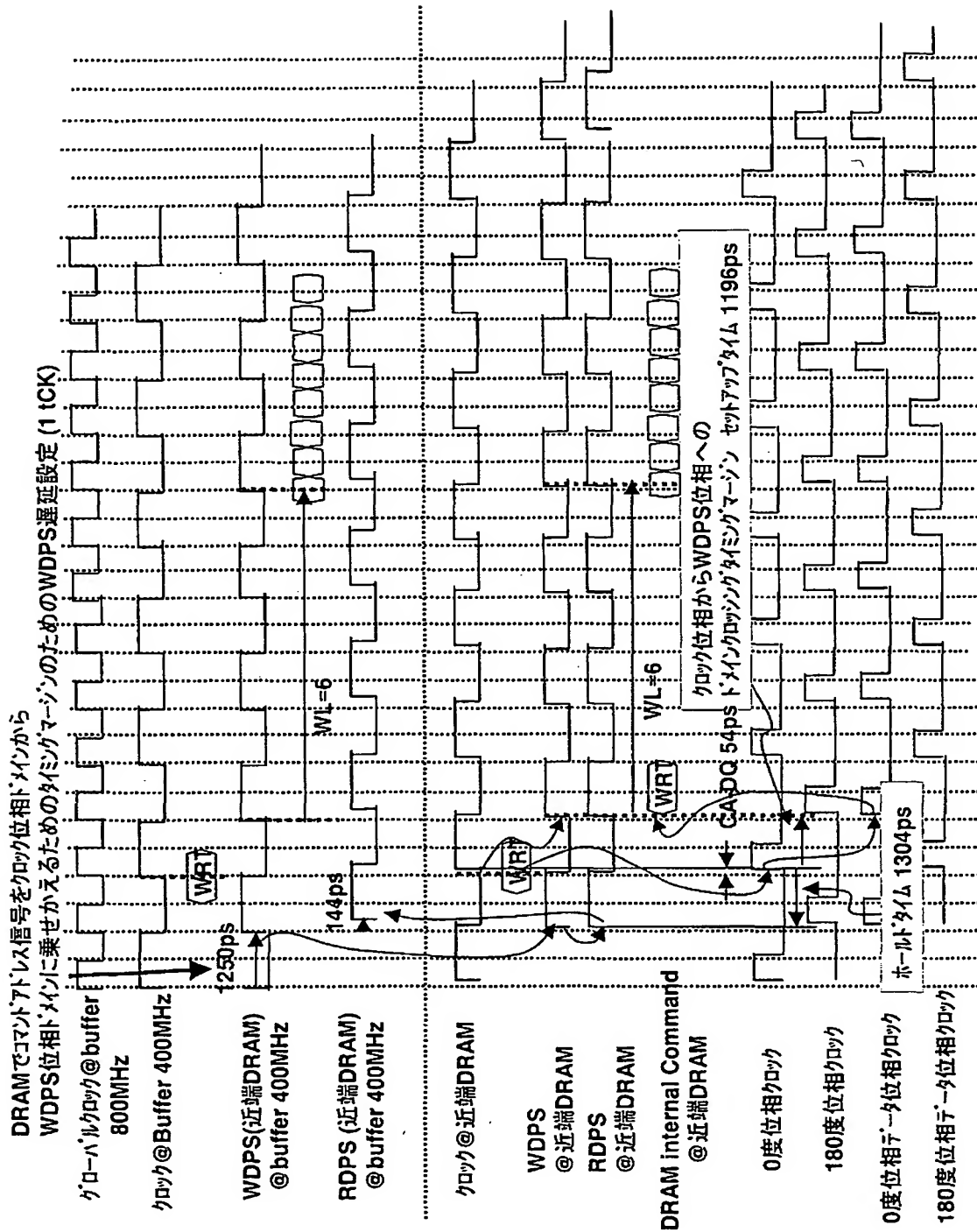
【図 4 4】



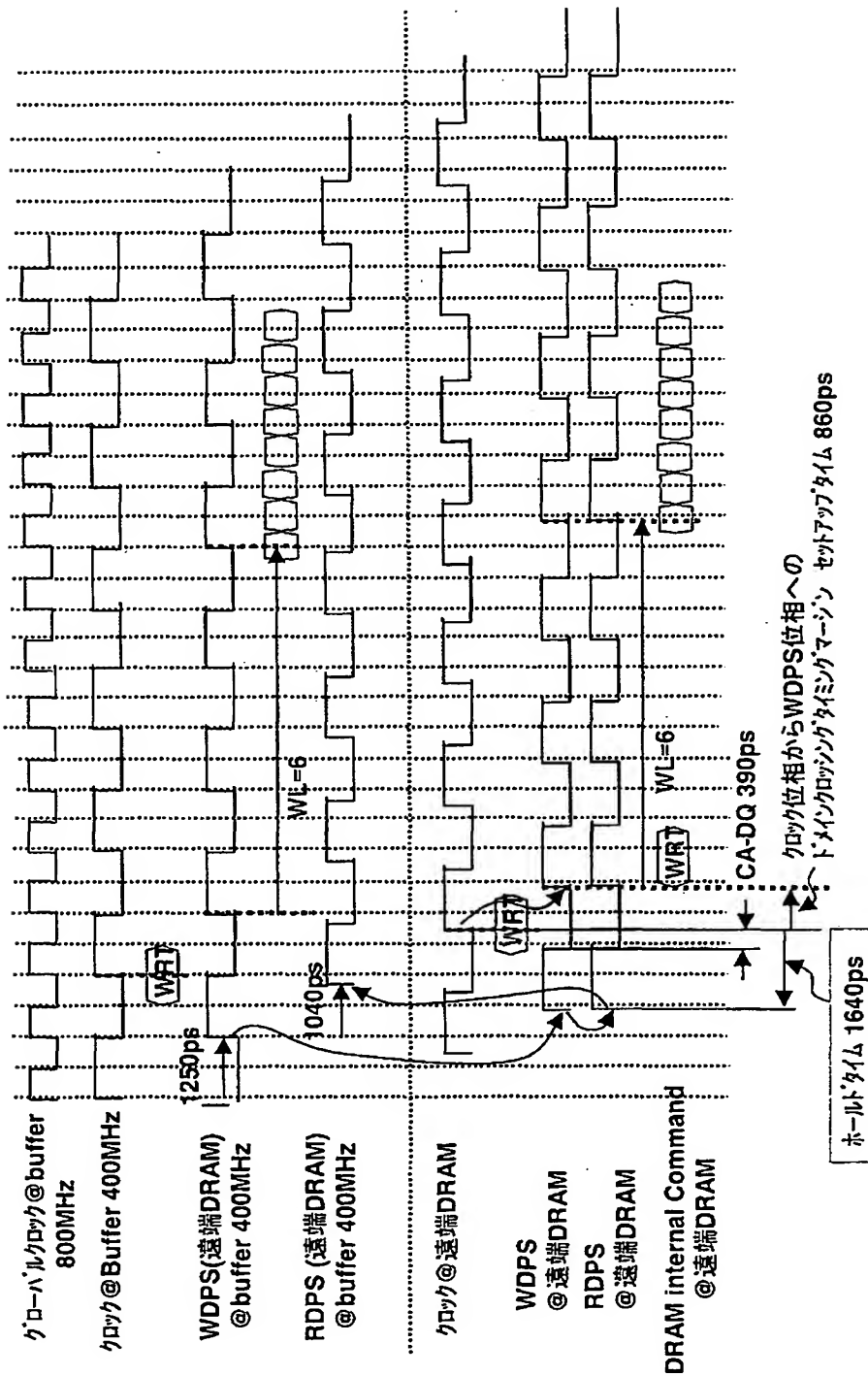
【図 45】



【図 46】

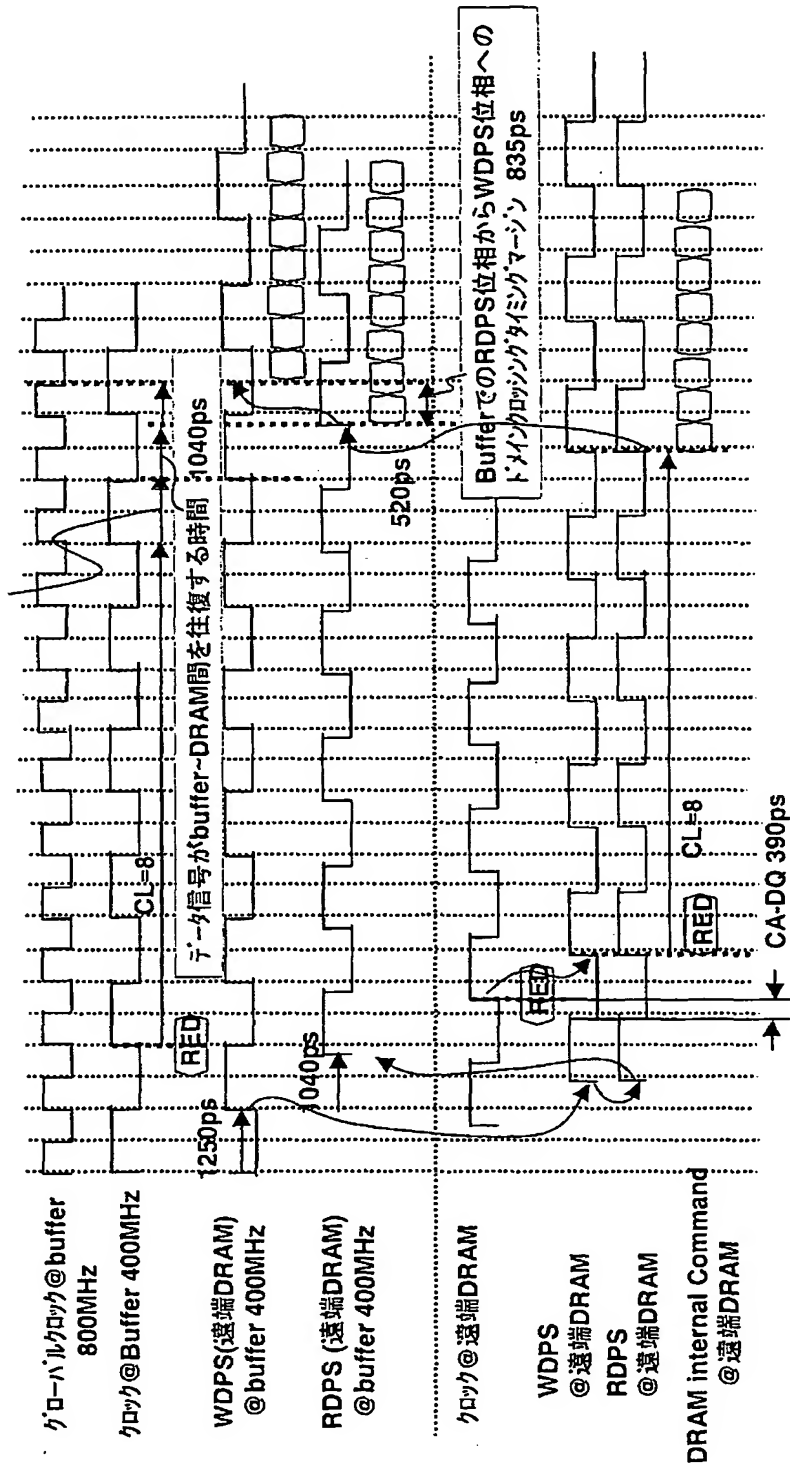


【図 47】

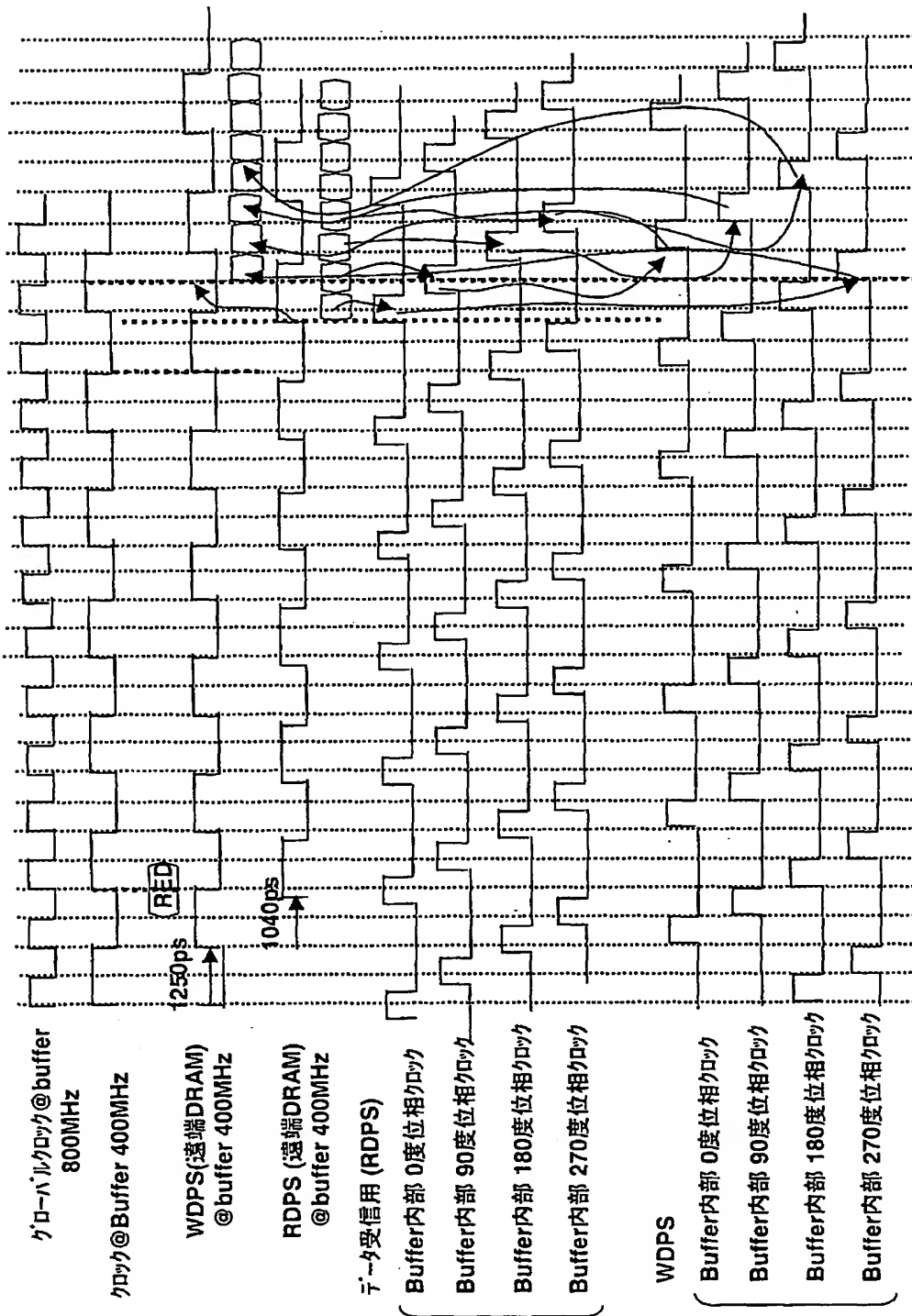


【図 48】

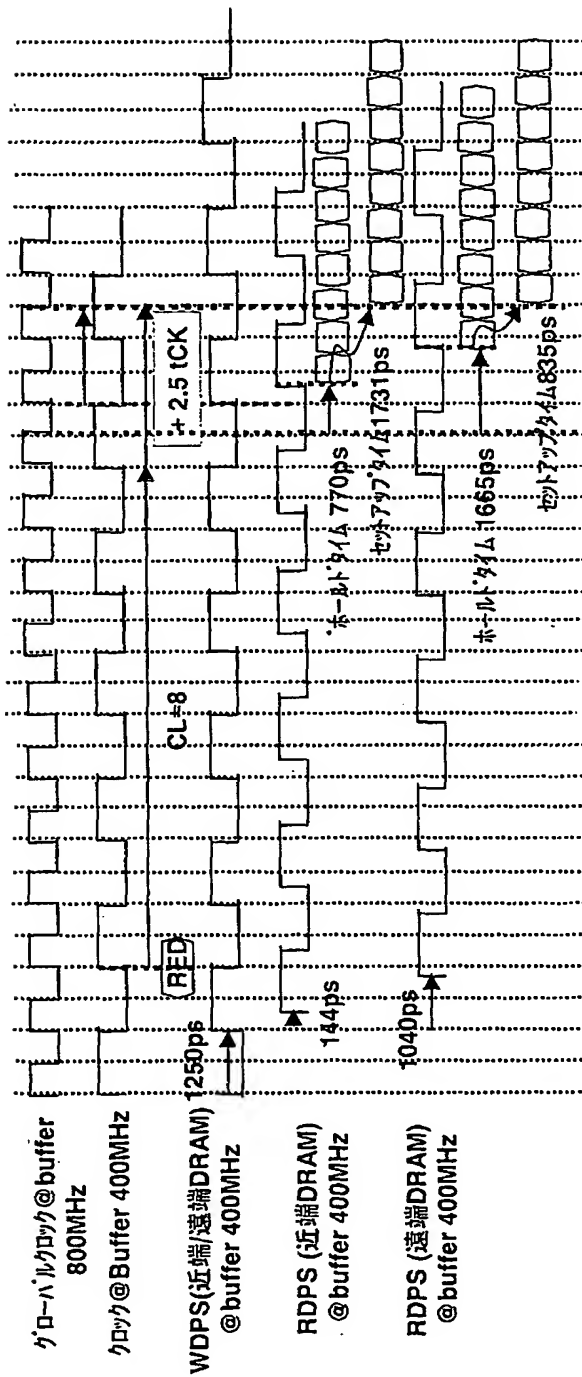
DRAMでコマンドアドレス信号をクロック位相ドメインから
WDPS位相ドメインに乘せかえるためのタイミングマージンのためのWDPS遅延設定 (1 tCK)



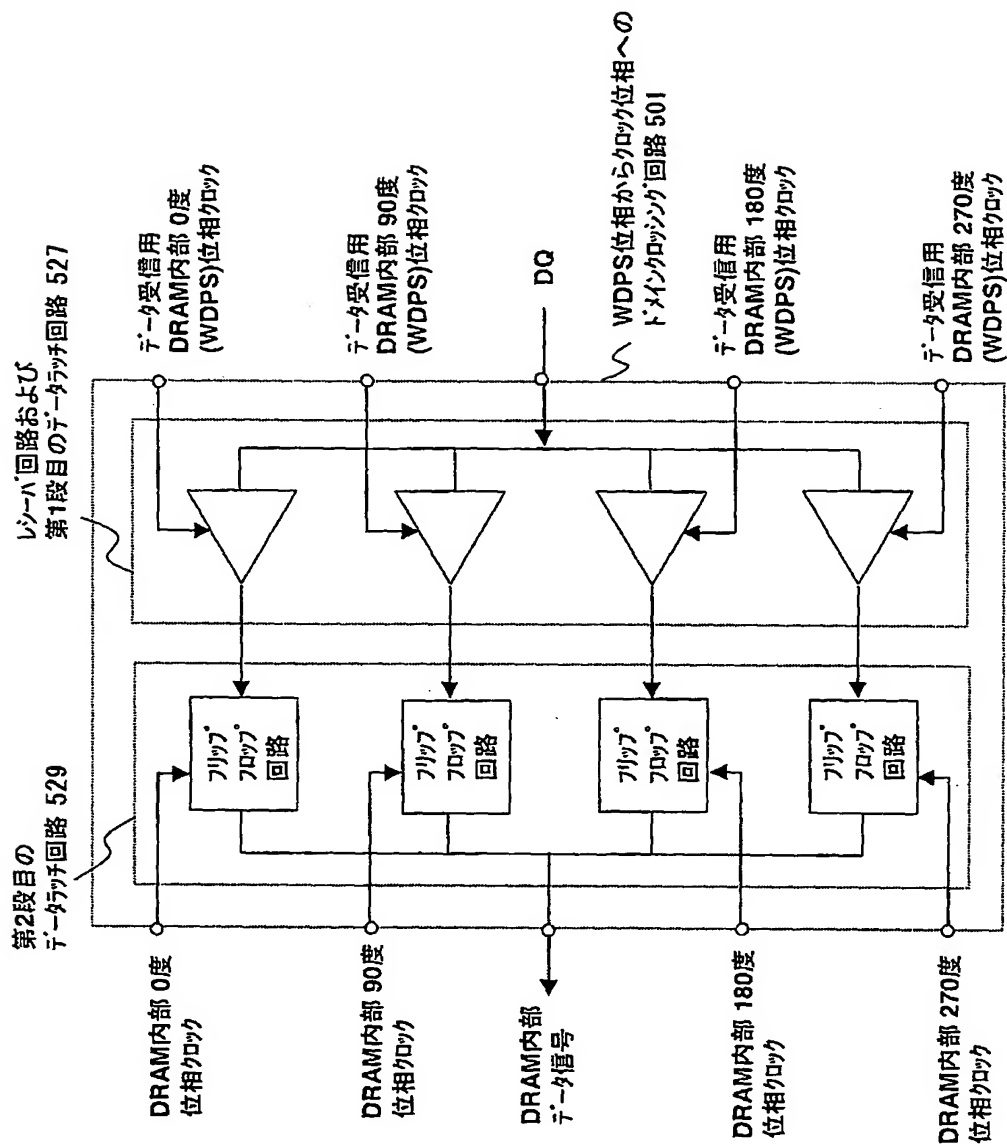
【図49】



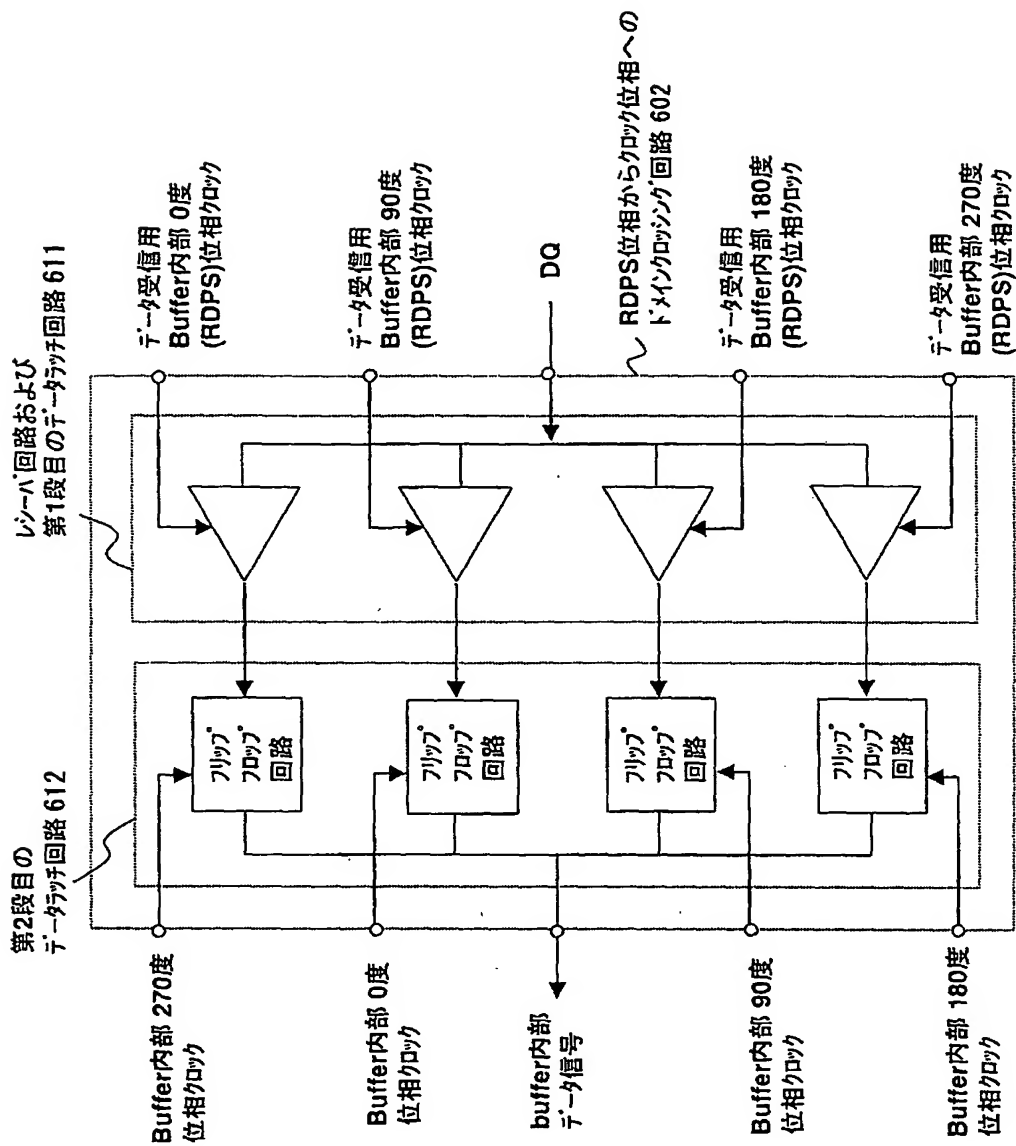
【図 50】



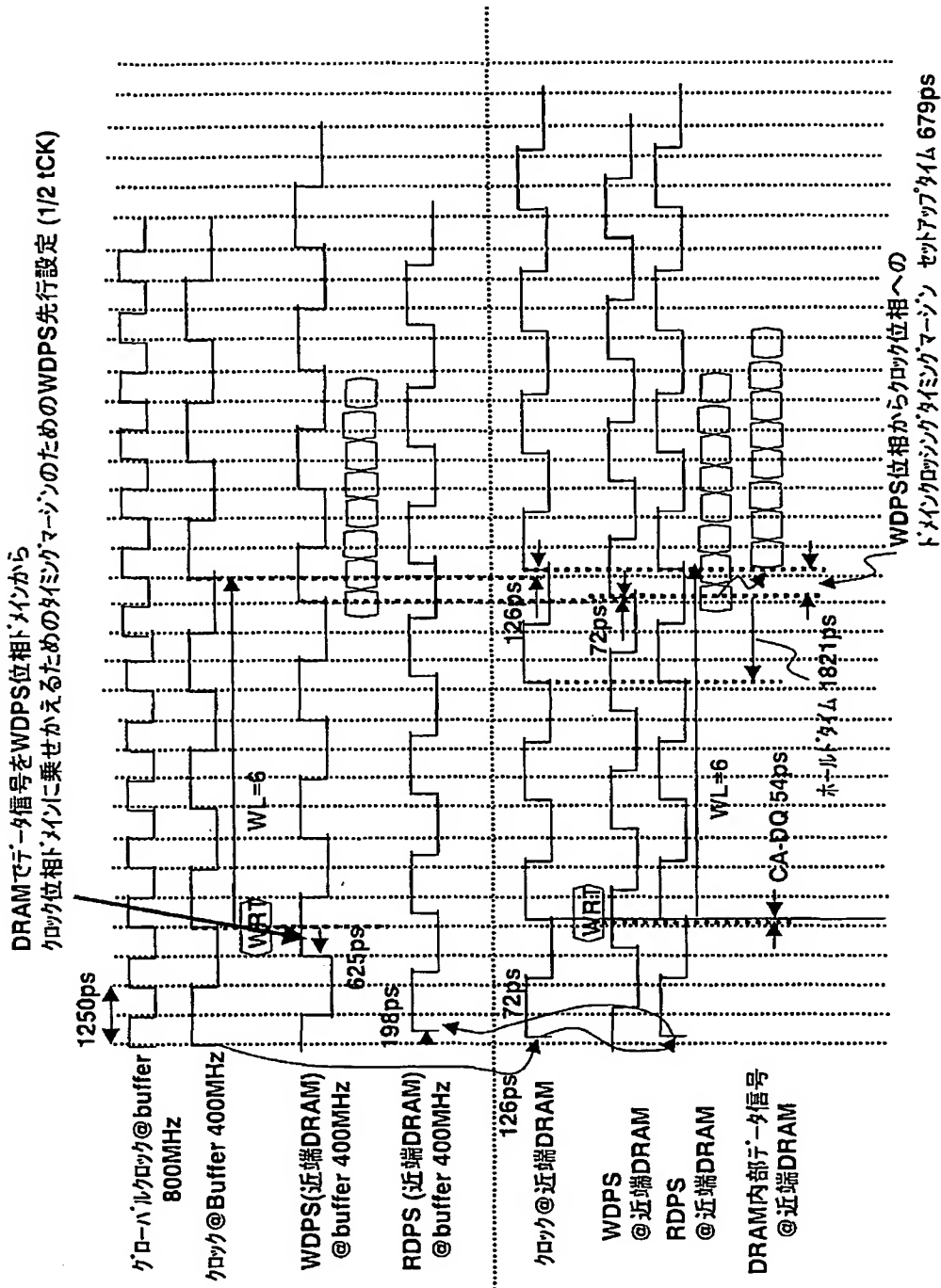
【図 52】



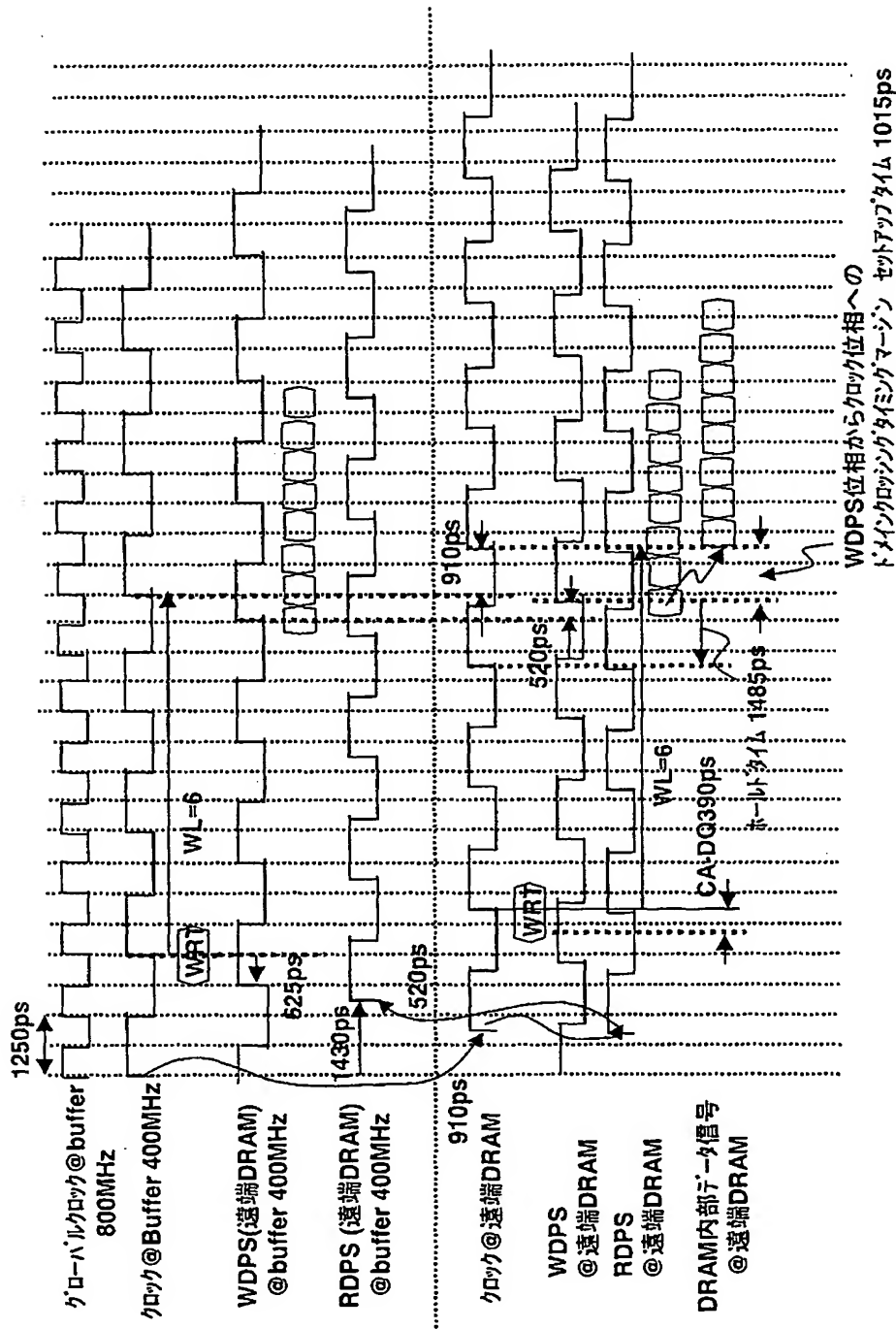
【図 54】



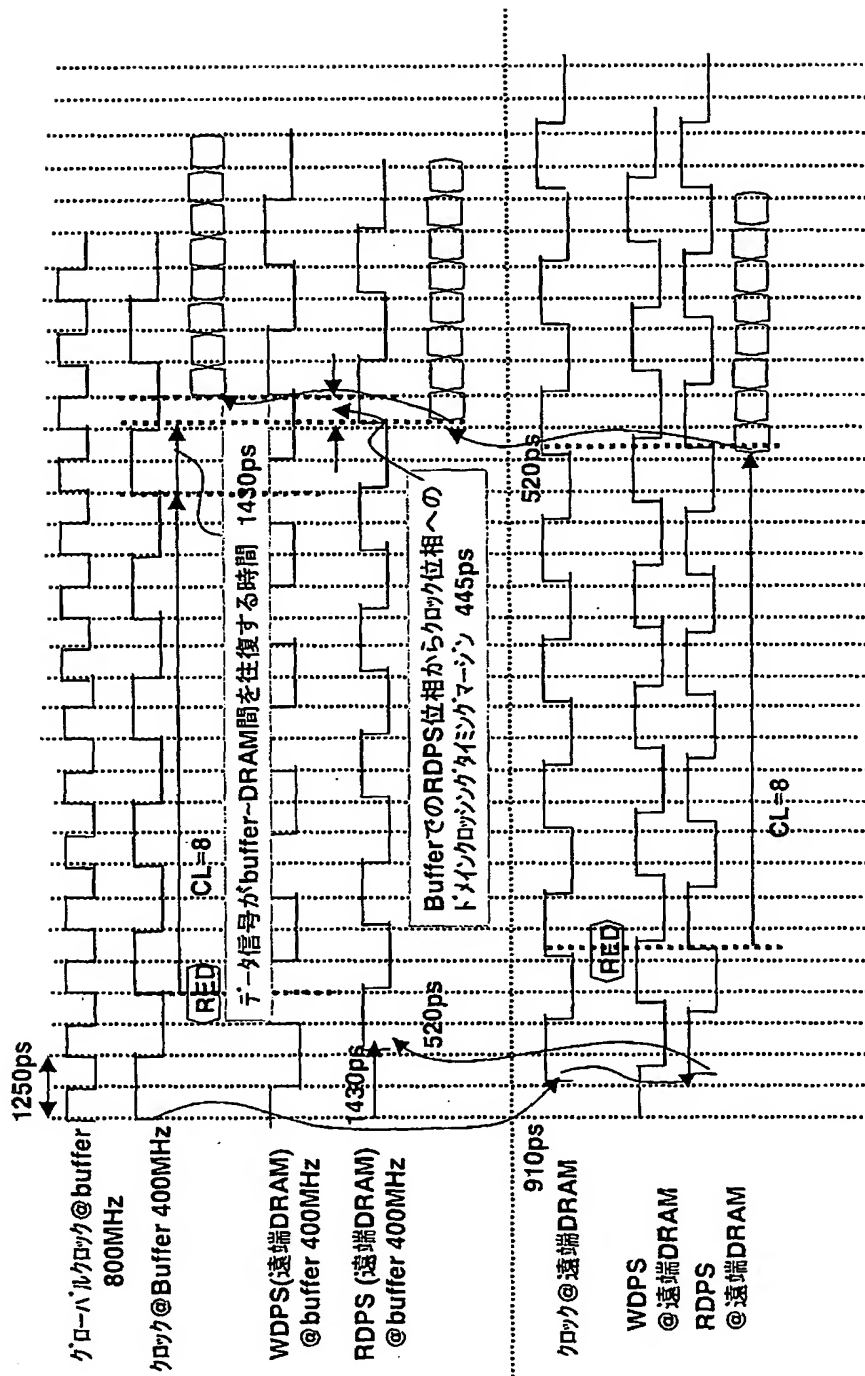
【図55】



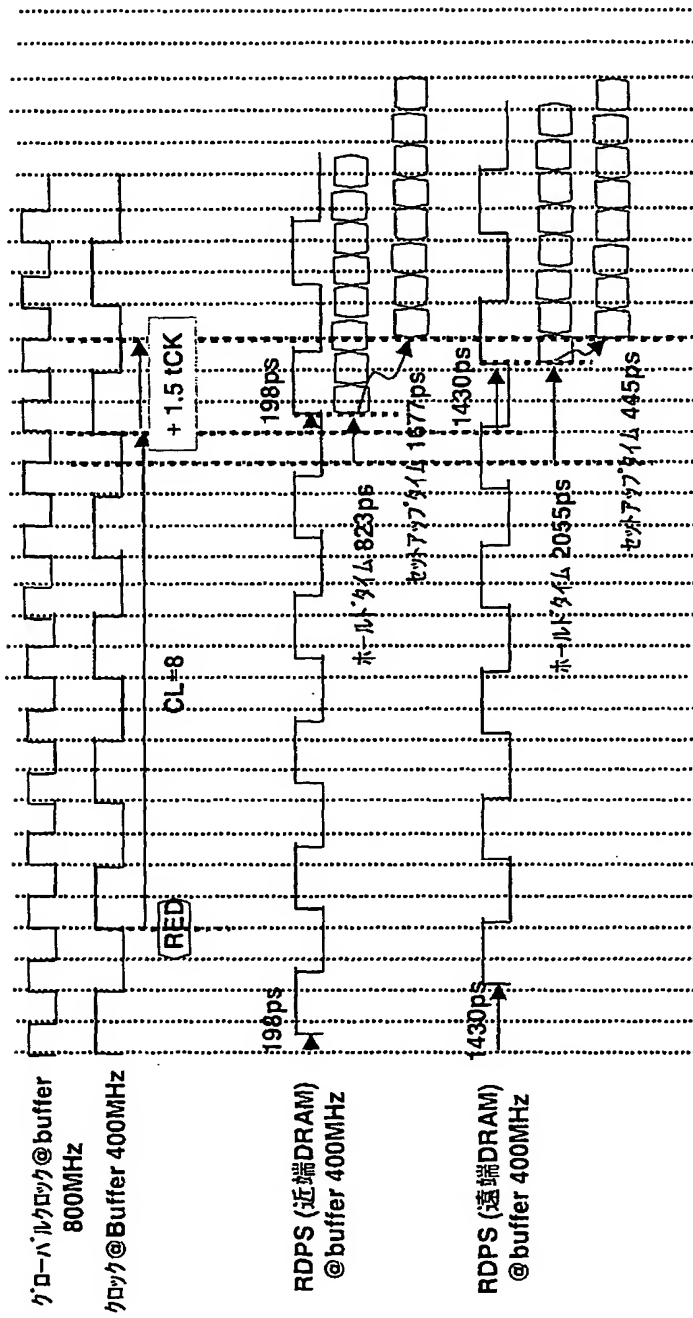
【図 56】



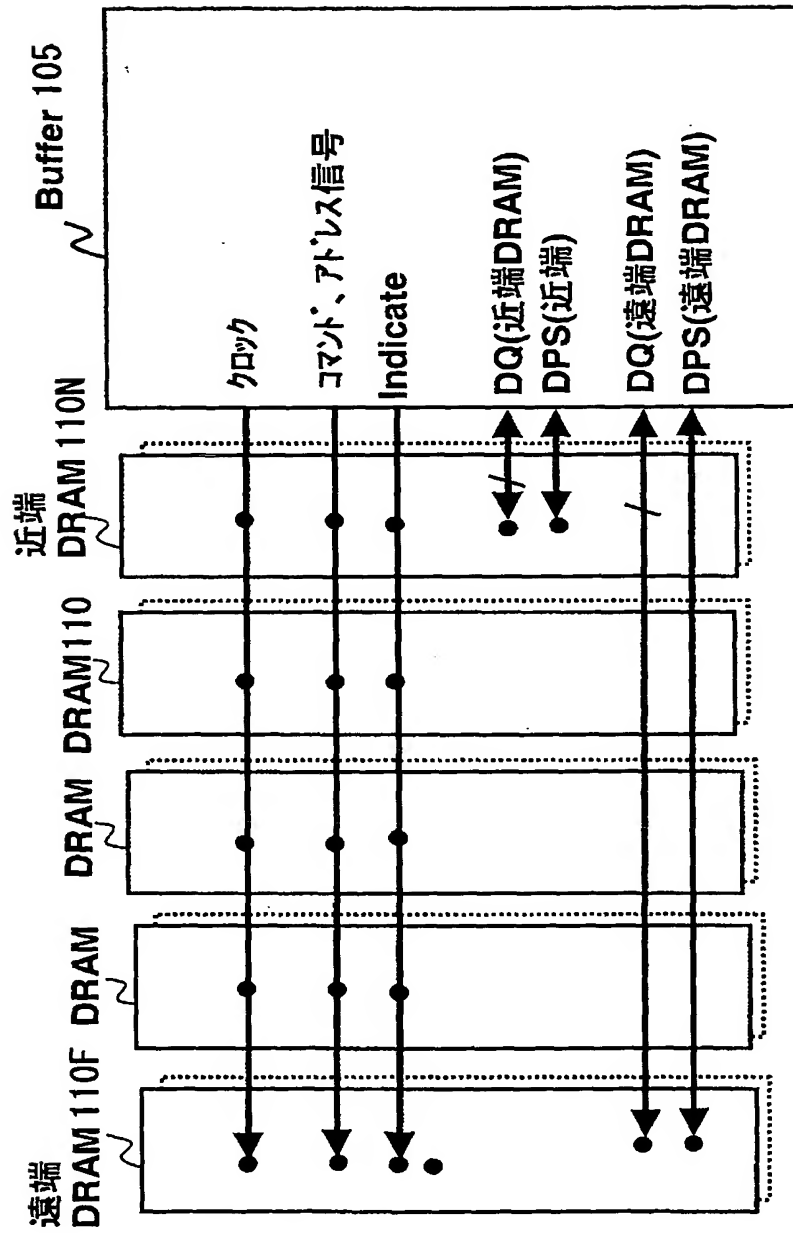
【図 57】



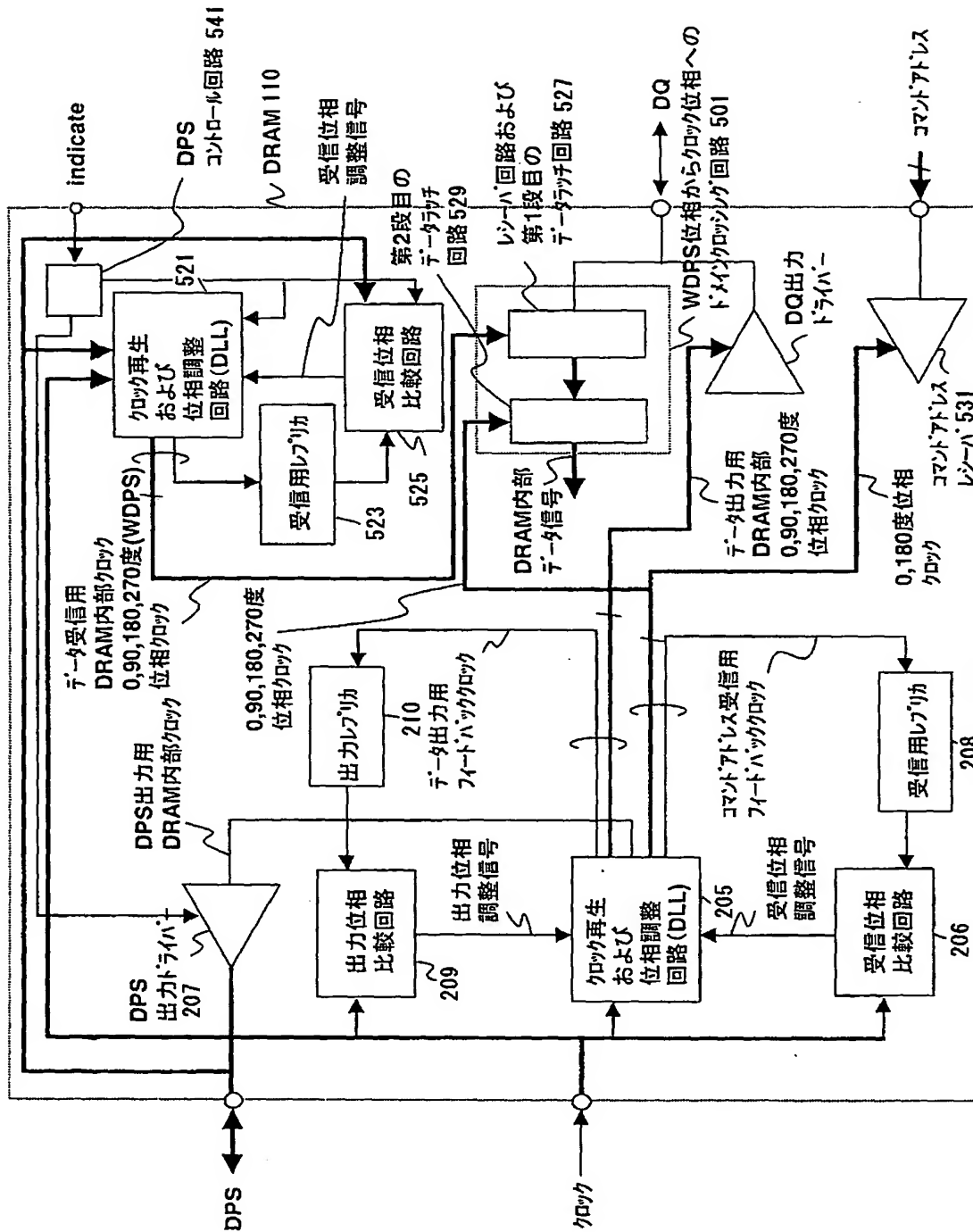
【図 58】



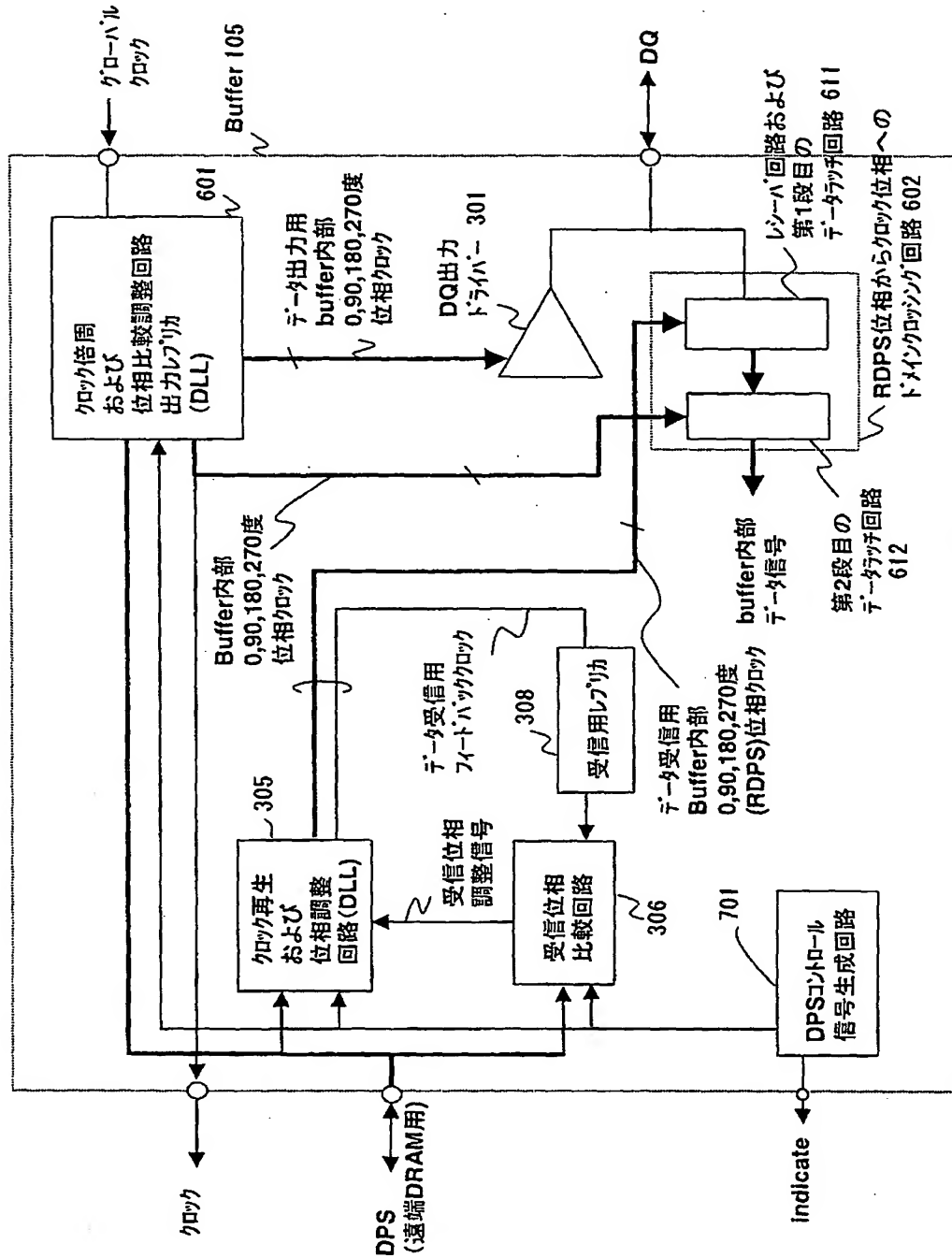
【図 59】



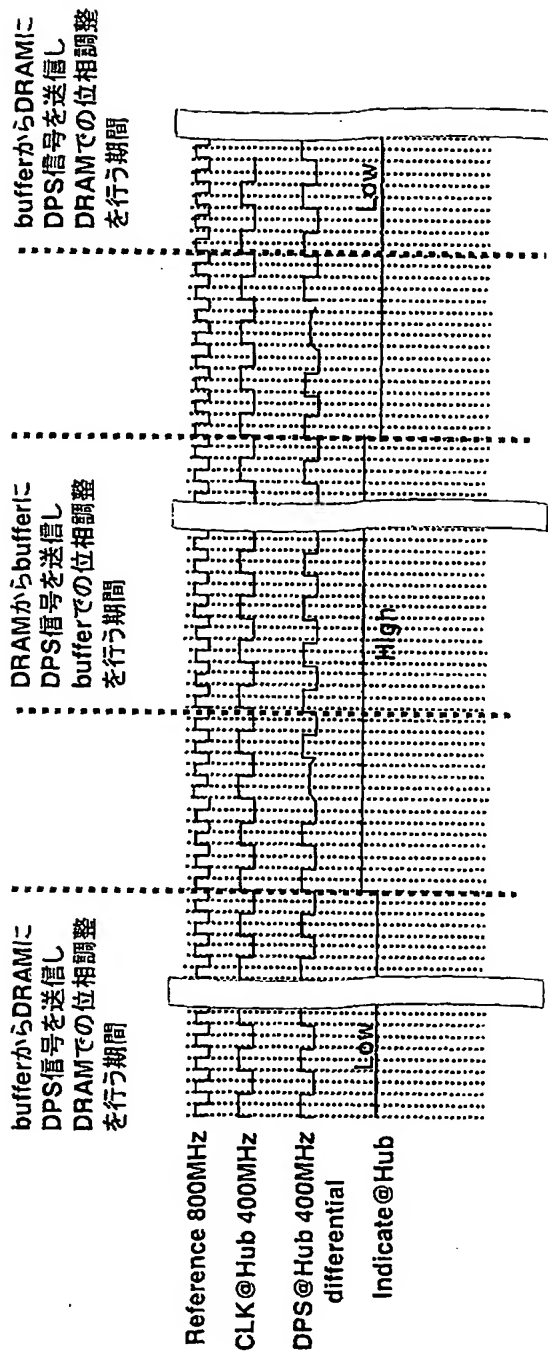
【図 60】



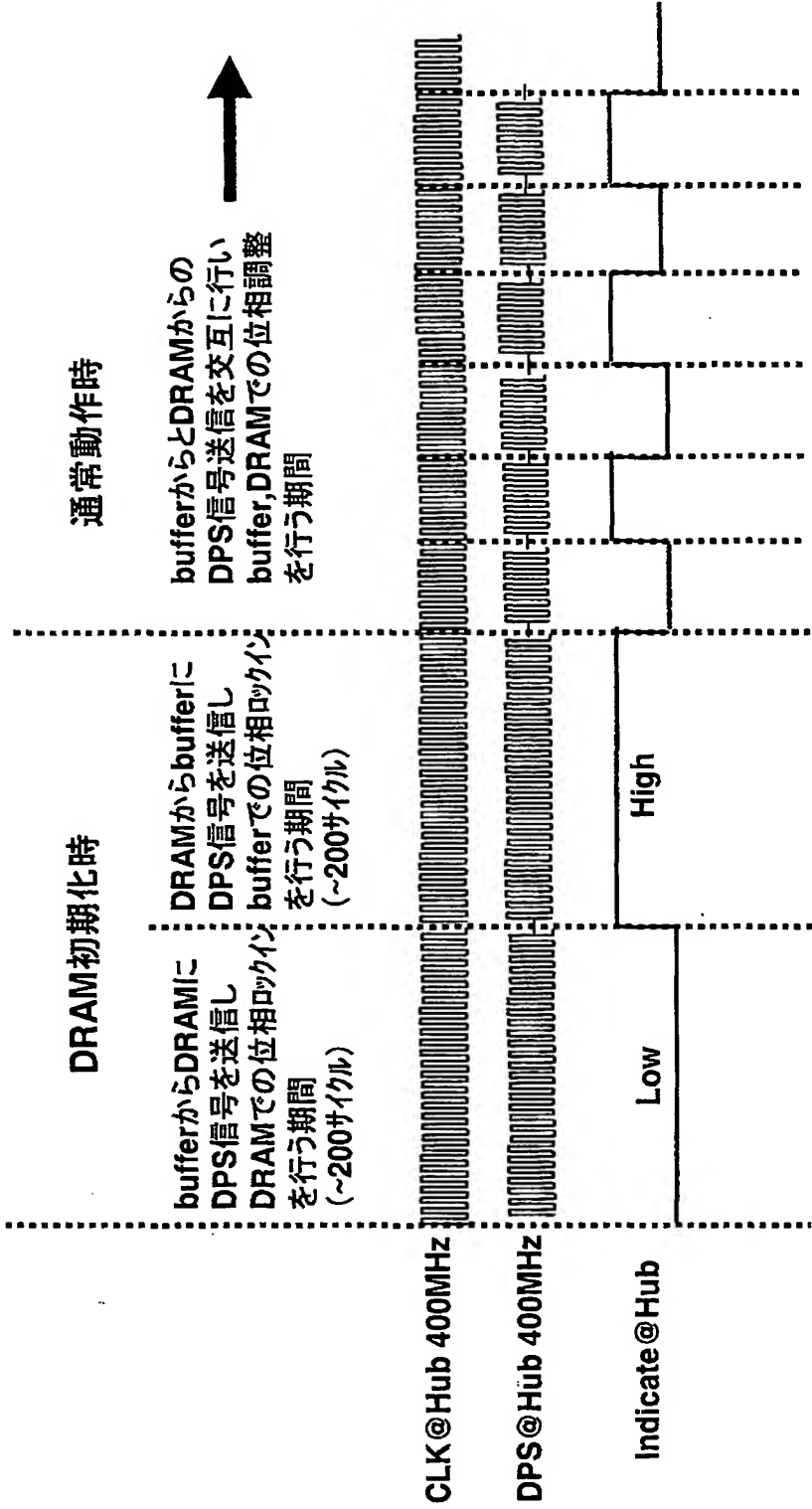
【図 61】



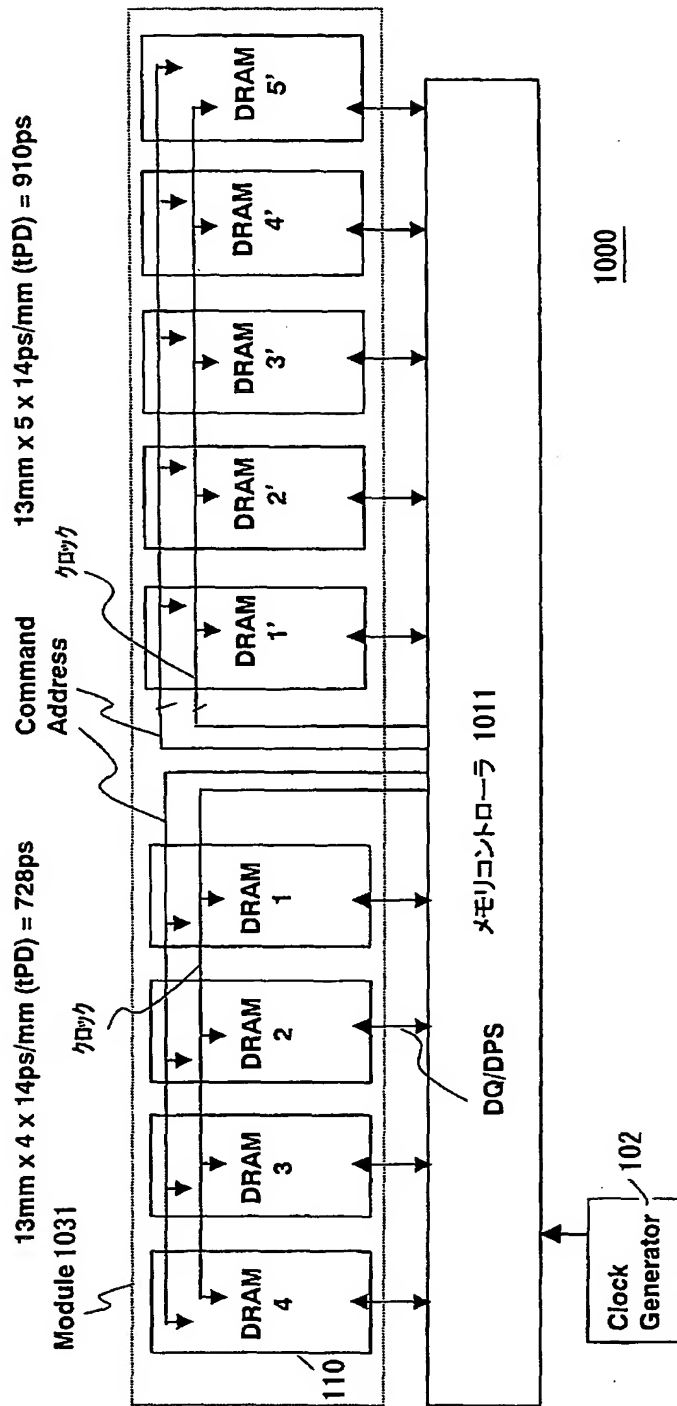
【図 62】



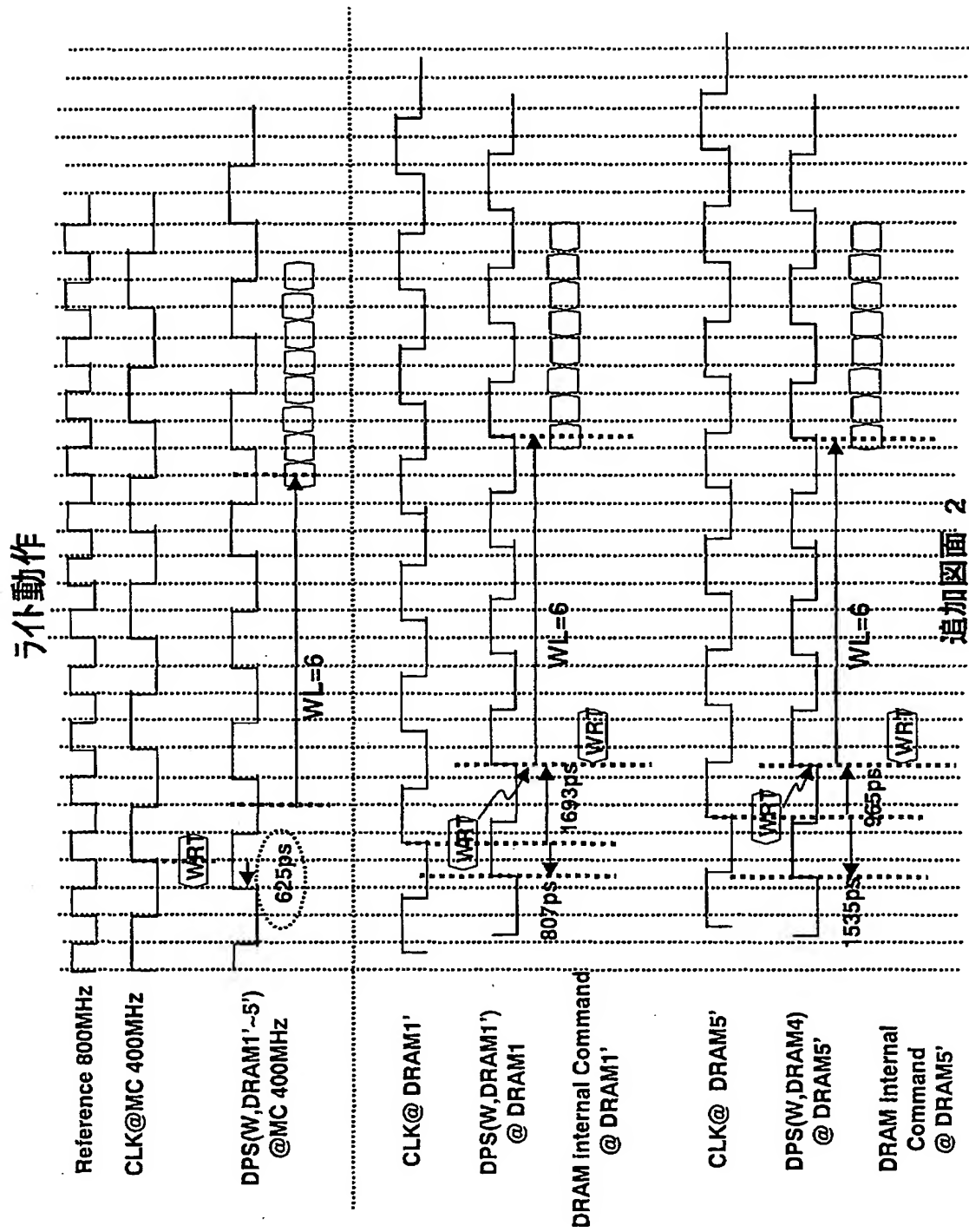
【図 6 3】



【図 64】

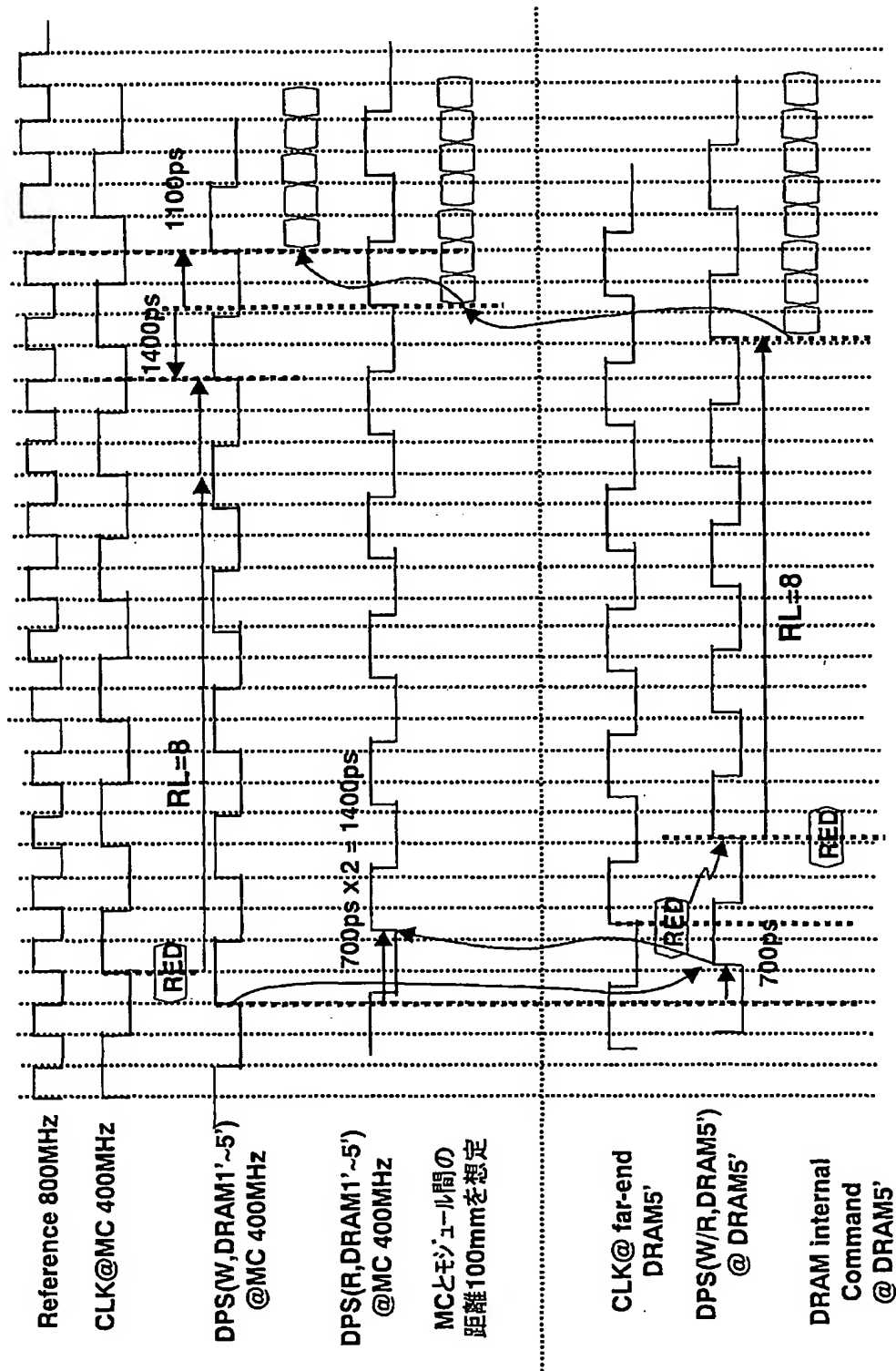


【図 65】

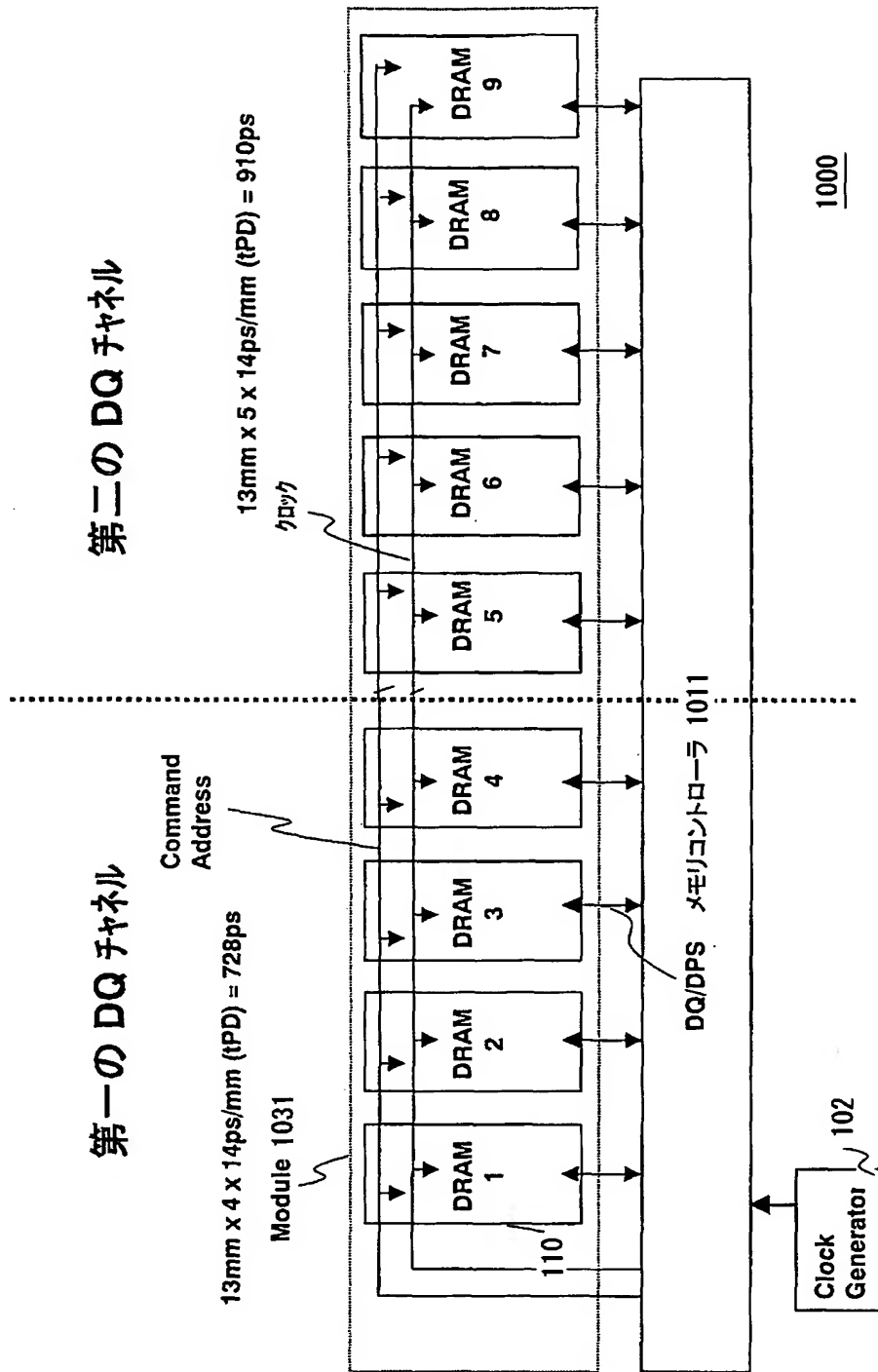


【図 66】

リード動作

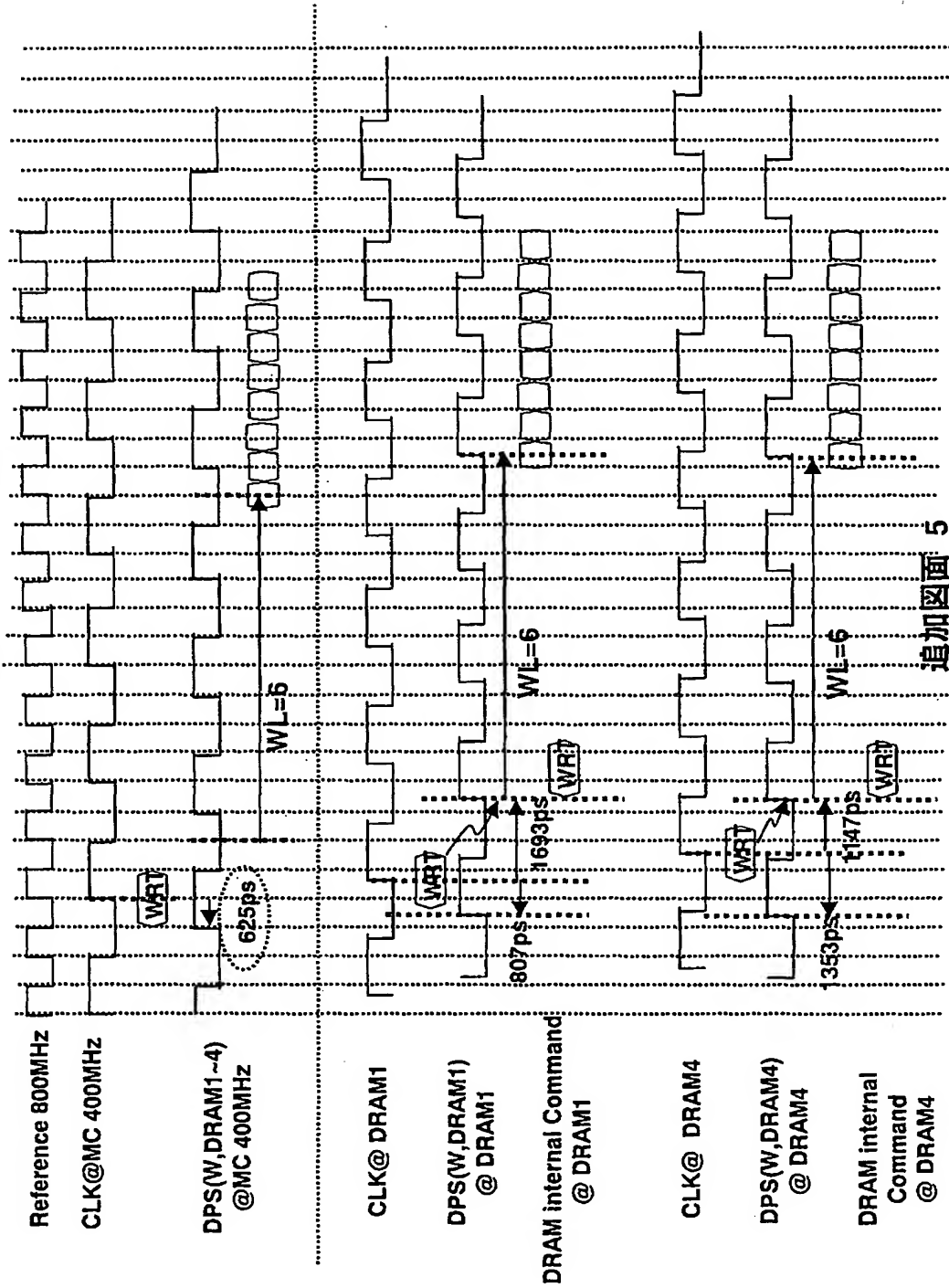


【図 67】



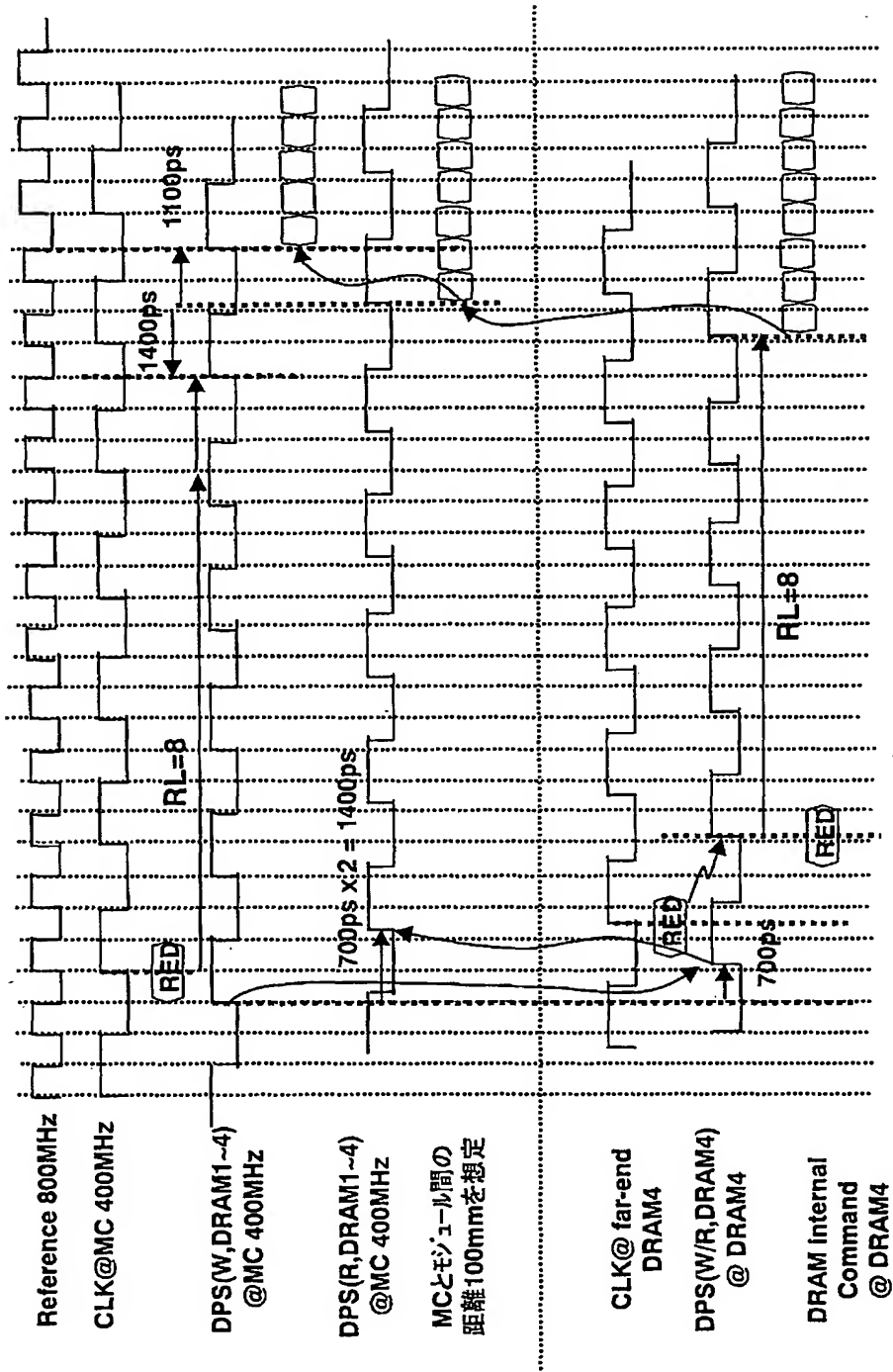
【図 68】

第一の DQ チャネルライト動作



【図 69】

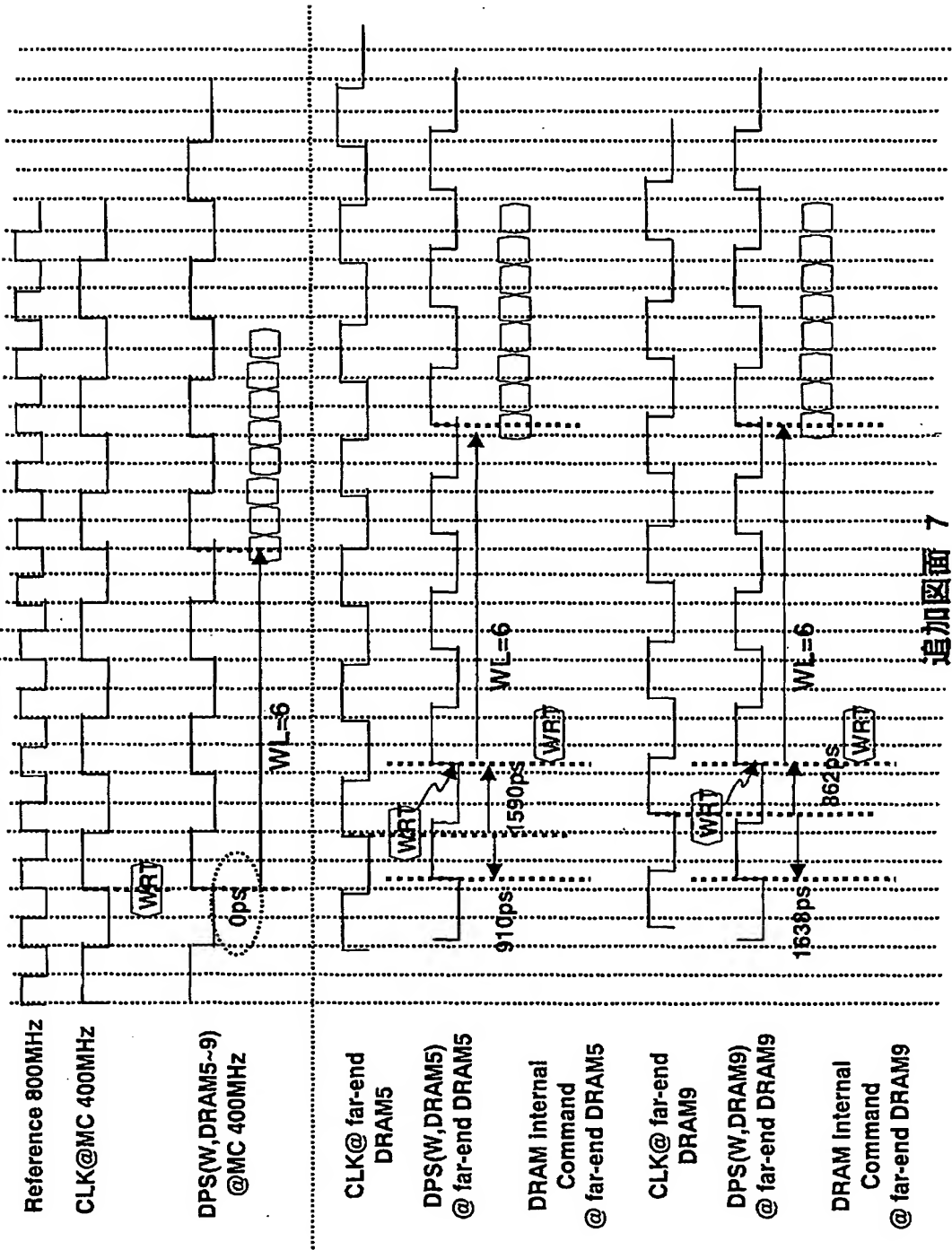
第一の DQ チャネルリード動作



追加図面 6

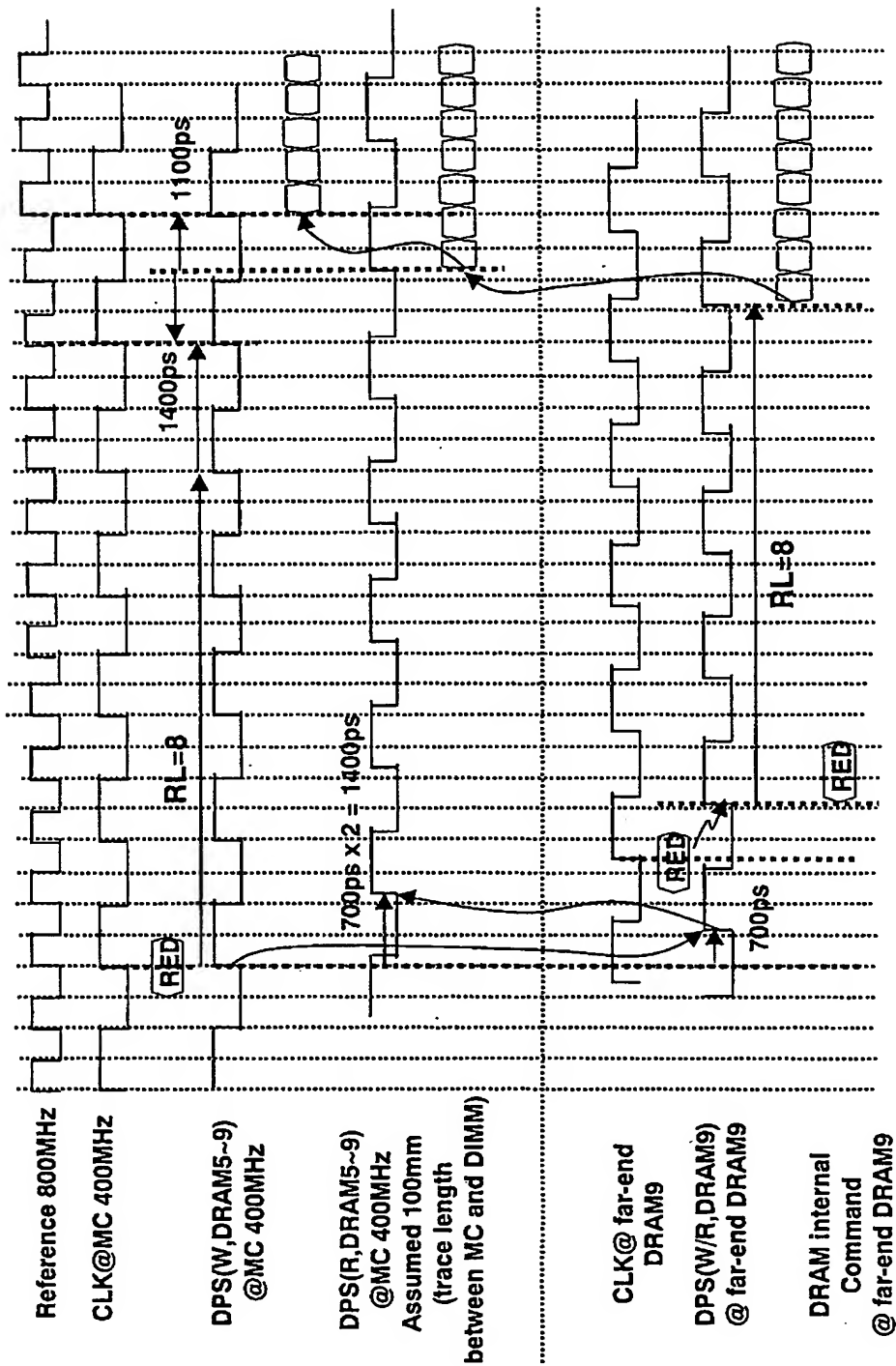
【図 70】

第二の DQ チャネルライト動作



【图 7 1】

第二のDQチャネルリード動作



追加図面 8

【書類名】 要約書

【要約】

【課題】 メモリコントローラと、メモリモジュールとの間の各種配線における分岐及びインピーダンスミスマッチによる反射信号等による影響、メモリモジュール内におけるデータ、コマンド・アドレス、クロックの伝送遅延による影響等を軽減することによって、高速動作を実現できるメモリシステムを提供する。

【解決手段】 メモリコントローラと、DRAMを搭載したメモリモジュールとを備えたメモリシステムにおいて、メモリモジュール上にバッファを搭載し、このバッファとメモリコントローラとをデータ配線、コマンド・アドレス配線、及び、クロック配線によって接続し、メモリモジュール上のDRAMとバッファとを内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線によって接続した構成を有する。データ配線、コマンド・アドレス配線、及び、クロック配線は他のメモリモジュールのバッファとカスケードに接続されても良い。メモリモジュール上のDRAMとバッファとの間では、クロックに同期したデータフェーズ信号を使用して、高速でデータ伝送が行われる。

【選択図】 図1

特願 2003-175431

出 願 人 履 歴 情 報

識別番号

[500174247]

1. 変更年月日
[変更理由]

住 所
氏 名

2000年 7月12日
名称変更
東京都中央区八重洲2-2-1
エルピーダメモリ株式会社